
EM78P153B

8位

OTP微控制器

产品规格书

版本 1.1

义隆电子股份有限公司.


2012 · 12

本文内容是由英文规格书翻译而来，目的是为了您的阅读更加方便。它无法跟随原稿的更新，文中可能存在翻译上的错误，请您参考英文规格书以获得更准确的信息。



IBM 为一个注册商标，PS/2 是 IBM 的商标之一。

Windows 是微软公司的商标。

ELAN 和 ELAN 标志  是义隆电子股份有限公司的商标。

版权所有 © 2012 ~ 2013 义隆电子股份有限公司

所有权利保留

台湾印制

本规格书内容如有变动恕不另作通知。关于该规格书的准确性、适当性或者完整性，义隆电子股份有限公司不承担任何责任。义隆电子股份有限公司不承诺对本规格书之内容及信息有更新及校正之义务。本规格书的内容及信息将为符合确认之指示而变更。

在任何情况下，义隆电子股份有限公司对本规格书中的信息或内容的错误、遗漏，或者其它不准确性不承担任何责任。由于使用本规格书中的信息或内容而导致的直接，间接，特别附随的或结果的损害，义隆电子股份有限公司没有义务负责。

本规格书中提到的软件（如果有），都是依据授权或保密合约所合法提供的，并且只能在这些合约的许可条件下使用或者复制。

义隆电子股份有限公司的产品不是专门设计来应用于生命维持的用具，装置或者系统。义隆电子股份有限公司的产品不支持而且禁止在这些方面的应用。

未经义隆电子股份有限公司书面同意，任何个人或公司不得以任何形式或方式对本规格书的内容之任一部分进行复制或传输。



义隆电子股份有限公司

总公司:

地址: 台湾新竹科学园区创新一路 12 号
电话: +886 3 563-9977
传真: +886 3 563-9966
webmaster@emc.com.tw
<http://www.emc.com.tw>

香港分公司:

义隆电子（香港）有限公司
九龙观塘巧明街 95 号世达中心 19 楼 A 室
电话: +852 2723-3376
传真: +852 2723-7780

USA:

Elan Information Technology Group (USA)
P.O. Box 601
Cupertino, CA 95015
USA
Tel: +1 408 366-8225
Fax: +1 408 366-8225

Korea:

ELAN Korea Electronics Company, Ltd.
301 Dong-A Building
632 Kojan-Dong, Namdong-ku
Incheon City, KOREA
Tel: +82 32 814-7730
Fax: +82 32 813-7730

深圳分公司:

义隆电子（深圳）有限公司
地址: 深圳市南山区高新技术产业园南区高新南六道迈科龙大厦 8A
邮编: 518057
电话: +86 755 2601-0565
传真: +86 755 2601-0500
elan-sz@elan.com.cn

上海分公司:

义隆电子（上海）有限公司
地址: 上海市浦东新区张江高科技园区碧波路5号科苑大楼6楼
楼 邮编: 201203
电话: +86 21 5080-3866
传真: +86 21 5080-0273

目录

1	综述.....	1
2	产品特性.....	1
3	引脚分配.....	2
4	引脚描述.....	3
5	功能描述.....	4
5.1	操作寄存器.....	4
5.1.1	R0 (间接寻址寄存器)	4
5.1.2	R1 (定时/计数器)	4
5.1.3	R2 (程序计数器 & 堆栈).....	5
5.1.4	R3 (状态寄存器)	6
5.1.5	R4 (RAM 选择寄存器)	7
5.1.6	R5 ~ R6 (Port 5 ~ Port 6)	7
5.1.7	RF (中断状态寄存器).....	7
5.1.8	R10 ~ R2F	7
5.2	特殊功能寄存器.....	8
5.2.1	A (累加器)	8
5.2.2	CONT (控制寄存器).....	8
5.2.3	IOC5 ~ IOC6 (I/O 端口控制寄存器)	9
5.2.4	IOCB (下拉控制寄存器).....	9
5.2.5	IOCC (漏极开路控制寄存器)	9
5.2.6	IOCD (上拉控制寄存器).....	10
5.2.7	IOCE (看门狗定时器控制寄存器)	10
5.2.8	IOCF (中断屏蔽寄存器)	11
5.3	TCC/WDT 和预分频器.....	11
5.4	I/O 端口.....	12
5.5	复位和唤醒.....	15
5.5.1	复位	15
5.5.2	唤醒和中断模式操作摘要.....	17
5.5.3	寄存器初始值总结.....	18
5.5.4	状态寄存器的 RST,T 和 P 的状态	20
5.6	中断	21
5.7	振荡器.....	23
5.7.1	振荡模式	23
5.7.2	晶体振荡器/陶瓷谐振器 (晶体).....	23
5.7.3	外部 RC 振荡模式.....	25
5.7.4	内部 RC 振荡模式.....	26

5.8	代码选项寄存器.....	26
5.8.1	代码选项寄存器 (Word 0)	27
5.8.2	代码选项寄存器 (Word 1)	28
5.8.3	代码选项寄存器 (Word 2)	29
5.9	上电探讨	29
5.10	编程设置振荡器启动时间	29
5.11	外部上电复位电路	30
5.12	残留电压保护	30
5.13	指令集.....	31
6	最大绝对值	34
7	电气特性.....	34
7.1	直流电气特性(Ta= 0°C ~ 70 °C, VDD= 5.0V±5%, VSS= 0V)	34
7.2	交流电气特性(Ta=0°C ~ 70 °C, VDD=5V±5%, VSS=0V)	36
8	时序图	37

附录

A	分类及产品信息	38
B	封装类型.....	389
C	封装信息.....	40

数据手册修订历史

文件版本	修订描述	日期
1.0	初版	2012/09/21
1.1	增加 LVR 直流电气特性参数	2012/12/27

1 综述

EM78P153B是采用低功耗高速CMOS工艺设计开发的8位微控制器。它的内部有一个1024*13位一次性可编程只读存储器(OTP-ROM)。它提供三个保护位用于防止用户在OTP-ROM中的程序被窃取。拥有15个代码选项位以满足用户定制代码功能的需要。

利用其OTP-ROM特性，EM78P153B可以使用户方便的开发和校验程序，而使用‘义隆烧录器’能便捷的完成IC程序烧录工作。

2 产品特性

■ CPU 配置

- 1K × 13 位片内 ROM
- 32 × 8 位片内寄存器 (SRAM, 通用寄存器)
- 5 级堆栈用于子程序嵌套
- 小于1.5 mA @ 5V/4MHz
- 典型值为15 μA, @3V/32KHz
- 休眠模式下的典型值为1 μA。

■ I/O 端口配置

- 2组双向I/O端口: P5, P6
- 12个 I/O 引脚
- 唤醒口: P6
- 6 个可编程下拉I/O引脚
- 7个可编程上拉I/O引脚
- 7个可编程漏极开路I/O引脚
- 外部中断: P60

■ 工作电压范围:

- 2.3V ~ 5.5V 在 0 ~ 70°C (商规)

■ 工作频率范围 (基于2个时钟周期):

- 晶振模式:
 - DC ~ 20MHz / 2clks @ 5V
 - DC ~ 8MHz / 2clks @ 3V
 - DC ~ 4MHz / 2clks @ 2.3V
- HXT系统频率与LXT系统频率的临界点为400KHz.

● ERC模式:

- DC ~ 2MHz / 2clks @ 2.1V

● IRC模式:

- 振荡模式: 4 / 8 / 1MHz 和 455kHz
- 制程漂移: Type: Max. ± 3%
- 温度偏差: ± 2% (0 ~ 70°C)

内部 RC 频率	偏移率			
	温度 (0~70°C)	电压	制程	总计
4 MHz	±1.5%	±8%@2.3~5.5V	±2%	±11.5%
8 MHz	±1.5%	±8%@3.0~5.5V	±2%	±11.5%
1 MHz	±1.5%	±8%@2.3~5.5V	±2%	±11.5%
455kHz	±1.5%	±8%@2.3~5.5V	±2%	±11.5%

■ 外设配置

- 8位实时时钟/计数器 (TCC), 可编程选择其信号源、触发边沿, 溢出产生中断
- 上电复位和3个可编程电平电压复位
POR: 1.8V (Default), LVR: 4.0, 3.5, 2.7V
- 2- / 4 时钟每指令周期通过代码选项选择

■ 三种中断源:

- TCC溢出中断
- I输入端口状态改变中断 (可使微控制器从休眠模式唤醒)
- 外部中断

■ 专有特性

- 自由运行的可编程看门狗定时器
- 省电模式 (休眠模式)
- 可选振荡模式
- 可编程振荡器启动时间的预分频比

■ 封装类型:

- 14引脚 DIP 300mil : EM78P153BD14J
- 14引脚 DIP/SOP 150mil : EM78P153BSO14J
- 10引脚 SSOP 150mil : EM78P153BSS10J

注: 绿色产品不含有害物质

3 引脚分配

(1) 14-Pin DIP/SOP

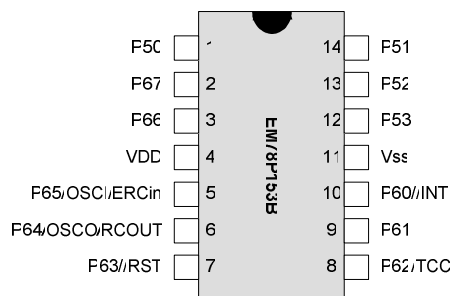


图 3-1 EM78P153BD14J, EM78P153BSO14J

(2) 10-Pin SSOP

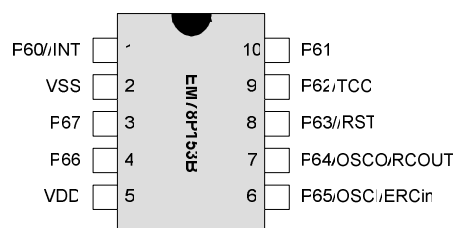


图 3-2 EM78P153BSS10J

4 引脚描述

名称	功能	输入类型	输出类型	描述
P50 P51 P52	P50 P51 P52	ST	CMOS	双向 I/O 端口, 通过软件编程可设置为内部下拉
P53	P53	ST	CMOS	双向 I/O 端口
P60/INT	P60	ST	CMOS	双向 I/O 端口, 通过软件编程可设置为内部下拉, 内部上拉, 漏极开路输出和引脚输入状态改变唤醒(从睡眠模式唤醒)
	/INT	ST	-	由下降沿引发的外部中断引脚
P61	P61	ST	CMOS	双向 I/O 端口, 通过软件编程可设置为内部下拉, 内部上拉, 漏极开路输出和引脚输入状态改变唤醒(从睡眠模式唤醒)
P62/TCC	P62	ST	CMOS	双向 I/O 端口, 通过软件编程可设置为内部下拉, 内部上拉, 漏极开路输出和引脚输入状态改变唤醒(从睡眠模式唤醒)
	TCC	ST	-	外部输入实时时钟/计数器时钟输入引脚
P63//RESET	P63	ST	-	输入引脚和引脚输入状态改变唤醒(从睡眠模式唤醒)
	/RESET	ST	-	外部上拉复位引脚, 保持低.
P64/OSCO/ RCOUT	P64	ST	CMOS	双向 I/O 端口, 通过软件编程可设置为内部下拉, 内部上拉, 漏极开路输出和引脚输入状态改变唤醒(从睡眠模式唤醒)
	OSCO	-	XTAL	晶振/谐振器时钟输出引脚
	RCOUT	-	CMOS	内部 RC 振荡器和外部 RC 振荡器时钟输出引脚
P65/OSCI/ ERCin	P65	ST	CMOS	双向 I/O 端口, 通过软件编程可设置为内部下拉, 内部上拉, 漏极开路输出和引脚输入状态改变唤醒(从睡眠模式唤醒)
	OSCI	XTAL	-	晶振/谐振器时钟输入引脚
	ERCin	AN	-	外部 RC 输入引脚
P66 P67	P66 P67	ST	CMOS	双向 I/O 端口, 通过软件编程可设置为内部下拉, 内部上拉, 漏极开路输出和引脚输入状态改变唤醒(从睡眠模式唤醒)
VDD	VDD	电源	-	电源正极
VSS	VSS	电源	-	电源地

5 功能描述

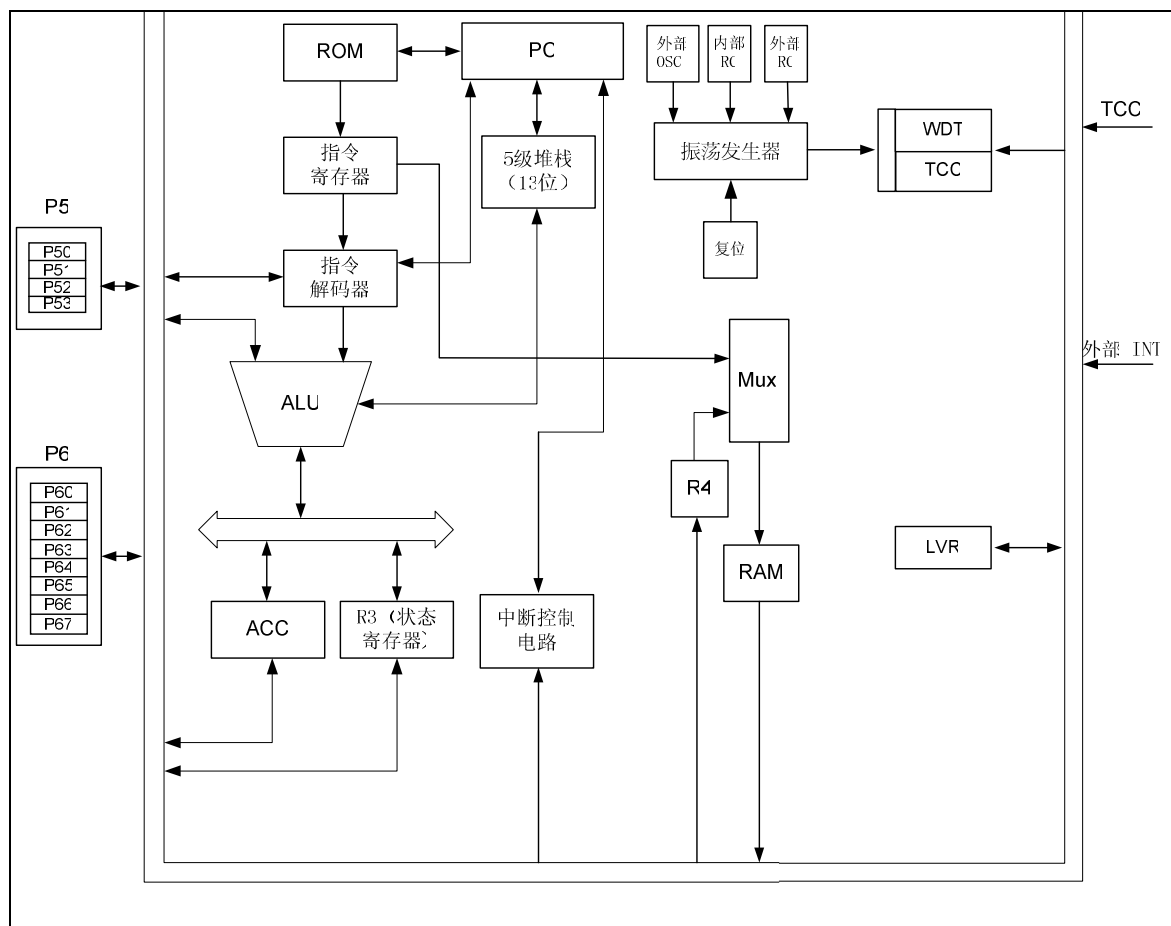


图 5-1 EM78P153B功能方框图

5.1 操作寄存器

5.1.1 R0 (间接寻址寄存器)

R0 并非实际存在的寄存器。它的主要功能是作为间接寻址指针。任何以R0为指针的指令，实际上是对RAM选择寄存器R4所指向地址的数据内容进行操作。

5.1.2 R1 ((定时/计数器)

- TCC引脚的外部信号边沿或内部指令周期时钟触发(由CONT寄存器的TE位设定), 会使TCC寄存器加1。
- 像其它寄存器一样可读/写。
- 通过复位PAB 位(CONT-3)设定。
- 如果PAB bit (CONT-3) 被复位, 预分频器分配给TCC 。
- 写入一个值到TCC寄存器后, TCC计数器的内容会被刷新。

5.1.3 R2 (程序计数器和堆栈)

- 根据具体的器件类型，R2和硬件堆栈为10位宽。图3描绘了相关结构图。

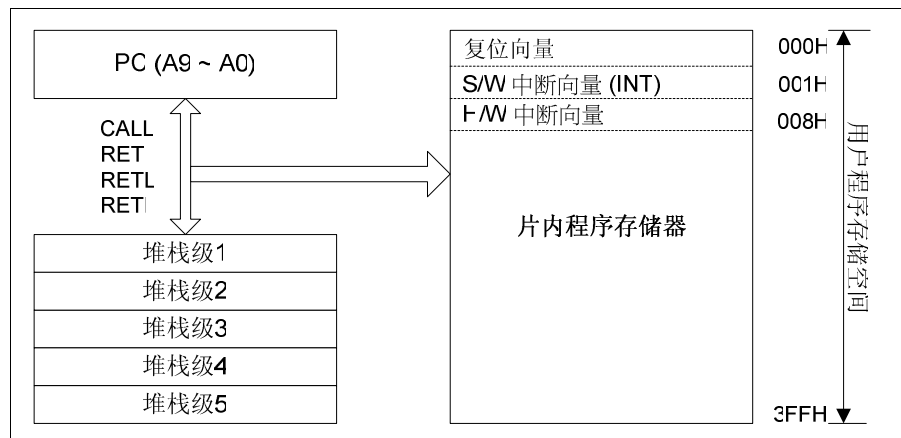


图 5-2 程序计数器结构图

- 生成1024×13 位程序指令代码的片内OTP ROM地址。一个程序页为1024字长。
- 复位条件下，R2所有位均清“0”。
- "JMP" 指令直接加载程序计数器的低10位。因此，"JMP" 允许PC跳转到一个程序页的任何位置。
- "CALL" 指令首先加载PC的低10位，然后将PC+1推入堆栈。因此，子程序的入口地址可位于一个程序页的任何位置。
- "RET" ("RETL k", "RETI") 加载栈顶值到程序计数器（PC）中。
- 任何向R2写入的指令 (例如. "ADD R2,A", "MOV R2,A", "BC R2,6", 等) 将会使PC的第九和第十位(A8~A9)清零。因此，经计算后的跳转位置只能位于一个程序存储器页的头256地址空间中。
- 所有指令均是单指令周期指令(fclk/2 或 fclk/4), 但会改变R2寄存器内容的指令除外, 这些指令的执行需要一个或多个指令周期。

- 数据存储配置如下:

地址	R 寄存器	IOC 寄存器
		CONT (控制寄存器)
00	R0 (间接寻址寄存器)	保留
01	R1 (TCC 缓冲器)	保留
02	R2 (程序计数器)	保留
03	R3 (状态寄存器)	保留
04	R4 (RAM 选择寄存器)	保留
05	R5 (Port 5 I/O 数据寄存器)	IOC5 (I/O 端口控制寄存器)
06	R6 (Port 6 I/O 数据寄存器)	IOC6 (I/O 端口控制寄存器)
07	保留	保留
08	保留	保留
09	保留	保留
0A	保留	保留
0B	保留	IOCB (下拉控制寄存器)
0C	保留	IOCC (漏极开路控制寄存器)
0D	保留	IOCD (上拉控制寄存器)
0E	保留	IOCE (看门狗定时器控制寄存器)
0F	RF (中断状态寄存器)	IOCF (中断屏蔽寄存器)
10 : 2F	通用寄存器	

Figure 5-3 数据存储配置

5.1.4 R3 (状态寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RST	GP1	GP0	T	P	Z	DC	C

Bit 7 (RST): 复位类型标志位

0: 代表其它复位类型引发唤醒复位方式

1: 代表引脚状态改变引发控制器从休眠模式唤醒方式

Bits 6 ~ 5 (GP1 ~ GP0): 通用读/写位

Bit 4 (T): 时间溢出标志位

执行"SLEP"和"WDTC"指令或上电时置“1”，WDT溢出时复位为“0”。

Bit 3 (P): 省电标志位

上电或执行"WDTC"指令时置“1”，执行"SLEP"指令时复位为“0”。

Bit 2 (Z): 零标志位
 当算术或逻辑运算的结果为0时置“1”。

Bit 1 (DC): 辅助进位标志位

Bit 0 (C): 进位标志位

5.1.5 R4 (RAM 选择寄存器)

- Bits 7 ~ 6 保留. (只读)。
- Bits 7 ~ 6 固定为“1”。
- Bits 5 ~ 0在间接寻址模式下, 用于选择寄存器(地址: 0x00 ~ 0x06, 0x0F ~ 0x2F)
- 见图5-3数据存储器配置。

5.1.6 R5 ~ R6 (Port 5 ~ Port 6)

R5 和 R6 为 I/O 寄存器。

R5寄存器仅低4位可用。

R5寄存器的高4位固定为0。

P63 仅用作输入引脚。

5.1.7 RF (中断状态寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	-	-	-	EXIF	ICIF	TCIF

“1”表示中断请求, “0”表示没有中断产生

Bits 7 ~ 3: 未使用. 固定为“0”。

Bit 2 (EXIF): 外部中断标志位。由/INT引脚信号的下降沿触发置1, 由软件清零。

Bit 1 (ICIF): Port 6 输入状态改变中断标志位。Port 6输入状态改变时触发置1, 由软件清零。

Bit 0 (TCIF): TCC 溢出中断标志位。TCC 溢出时置1, 由软件清零。

RF 寄存器可由指令清零, 但不由指令置1。

IOCF 寄存器为中断屏蔽寄存器。

注意

从RF寄存器中的读取值为RF值和IOCF值的“逻辑与”的结果。

5.1.8 R10 ~ R2F

所有这些寄存器均为8位通用寄存器。

5.2 特殊功能寄存器

5.2.1 A (累加器)

用于内部数据传送或指令操作数暂存，并且不可被寻址。

5.2.2 CONT (控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GP	/INT	TS	TE	PAB	PSR2	PSR1	PSR0

Bit 7 (GP): 通用寄存器。

Bit 6 (/INT): 中断使能标志位

0: 被DISI或硬件中断屏蔽

1: 被ENI/RETI指令使能

Bit 5 (TS): TCC信号源选择位

0: 内部指令周期时钟，P62为双向I/O引脚

1: TCC引脚的跳变信号

Bit 4 (TE): TCC信号边沿选择位

0: TCC引脚信号由低变到高时TCC计数器加1

1: TCC引脚信号由高变到低时TCC计数器加1

Bit 3 (PAB): 预分频器分配位

0: TCC

1: WDT

Bits 2 ~ 0 (PSR2 ~ PSR0): TCC / WDT预分频比选择位

PSR2	PSR1	PSR0	TCC 预分频比	WDT 预分频比
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

通过指令“CONTW”和“CONTR”，CONT为可读/写寄存器

5.2.3 IOC5 ~ IOC6 (I/O端口控制寄存器)

- 0: 相关I/O引脚置为输出
- 1: 相关I/O引脚置为高阻态

IOC5寄存器仅低4位可被有效定义.

IOC5 和 IOC6 均为可读/写寄存器.

5.2.4 IOCB (下拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	/PD62	/PD61	/PD60	-	/PD52	/PD51	/PD50

- Bit 7:** 未使用. 固定为“1”.
- 0: 使能内部下拉功能
 - 1: 禁止内部下拉功能

Bit 6 (/PD62): P62引脚下拉功能使能控制位.

Bit 5 (/PD61): P61引脚下拉功能使能控制位.

Bit 4 (/PD60): P60引脚下拉功能使能控制位.

Bit 3: 未使用. 固定为“1”.

Bit 2 (/PD52): P52引脚下拉功能使能控制位.

Bit 1 (/PD51): P51引脚下拉功能使能控制位.

Bit 0 (/PD50): P50引脚下拉功能使能控制位.

IOCB 为可读/写寄存器.

5.2.5 IOCC (漏极开路控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OD67	OD66	OD65	OD64	-	OD62	OD61	OD60

Bit 7 (OD67): P67引脚漏极开路功能使能控制位.

- 0: 禁止漏极开路输出
- 1: 使能漏极开路输出

Bit 6 (OD66): P66引脚漏极开路功能使能控制位.

Bit 5 (OD65): P65引脚漏极开路功能使能控制位.

Bit 4 (OD64): P64引脚漏极开路功能使能控制位.

Bit 3: 未使用. 固定为“1”.

Bit 2 (OD62): P62引脚漏极开路功能使能控制位.

Bit 1 (OD61): P61引脚漏极开路功能使能控制位.

Bit 0 (OD60): P60引脚漏极开路功能使能控制位.

IOCC 为可读/写寄存器.

5.2.6 IOCD (上拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
/PH67	/PH66	/PH65	/PH64	-	/PH62	/PH61	/PH60

Bit 7 (/PH67): P67引脚上拉功能使能控制位。

0: 使能内部上拉功能

1: 禁止内部上拉功能

Bit 6 (/PH66): P66引脚上拉功能使能控制位。

Bit 5 (/PH65): P65引脚上拉功能使能控制位。

Bit 4 (/PH64): P64引脚上拉功能使能控制位。

Bit 3: 未使用. 固定为“1”。

Bit 2 (/PH62): P62引脚上拉功能使能控制位。

Bit 1 (/PH61): P61引脚上拉功能使能控制位。

Bit 0 (/PH60): P60引脚上拉功能使能控制位。

IOCD 为可读/写寄存器。

5.2.7 IOCE (看门狗定时器控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTE	EIS	-	-	-	-	-	-

Bit 7 (WDTE): 看门狗定时器使能控制位。

0: 禁止WDT

1: 使能WDT

WDTE 为可读/写位。

Bit 6 (EIS): 定义P60(/INT)引脚功能的控制位。

0: P60, 双向I/O引脚。

1: /INT, 外部中断输入引脚。在此情况下, P60引脚的I/O控制位(IOC6的bit 0)必须置为“1”。

当EIS位为“0”, /INT通道被屏蔽。当EIS为“1”, /INT引脚状态也可通过读Port 6 (R6)寄存器的方式来读取。参考5.4章图 5-6。

EIS 为可读/写位。

Bits 5 ~ 0: 未使用. 固定为“0”。

5.2.8 IOCF (中断屏蔽寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	-	-	-	EXIE	ICIE	TCIE

Bits 7 ~ 3: 未使用, 固定为“1”。

各中断可通过设置IOCF寄存器的相应控制位为“1”使能。

全局中断可通过执行ENI指令使能, 通过执行DISI指令禁止。参考图9。

Bit 2 (EXIE): EXIF中断使能位

0: 禁止EXIF中断

1: 使能EXIF中断

Bit 1 (ICIE): ICIF中断使能位

0: 禁止ICIF中断

1: 使能ICIF中断

Bit 0 (TCIE): TCIF中断使能位

0: 禁止TCIF中断

1: 使能TCIF中断

IOCF 为可读/写寄存器。

5.3 TCC/WDT & 预分频器

TCC和WDT共用一个由8位计数器构成的预分频器。预分频器只能分配给WDT和TCC两者之一, 由CONT寄存器的PAB位设置预分频器的分配情况, PSR0~PSR2设置预分频比。在TCC模式下, 每次向TCC寄存器写入值都会刷新TCC计数器。在WDT模式下, 看门狗定时器由“WDTC”指令清零。图5-4描绘了TCC/WDT的电路图。

- R1 (TCC)** 是一个8位定时/计数器。TCC的时钟源可为内部或外部时钟输入(可编程选择TCC引脚信号边沿)。如果TCC时钟源来自内部时钟, TCC寄存器在每个指令周期时钟后增1(未经过预分频器)。代码选项寄存器的CLK位的状态设置 $CLK=Fosc/2$ 或是 $CLK=Fosc/4$, 参考图5。CLK位为“0”时, $CLK=Fosc/2$; CLK位为“1”时, $CLK=Fosc/4$ 。如果TCC时钟源来自外部时钟输入, TCC寄存器在TCC引脚的上升沿或下降沿增1。

- 看门狗定时器的时钟源是一个自由运行的片内RC振荡器。即使在其它振荡器关闭的情况下(也就是休眠模式下)，WDT仍将保持运行。在正常运行或休眠模式下，WDT溢出(若WDT使能)将会使器件复位。在正常模式下的任何时刻，WDT都可通过软件编程为使能或禁止，参考IOCE寄存器的WDTE位。不带预分频器时，WDT溢出周期大约为18 ms¹(默认)。

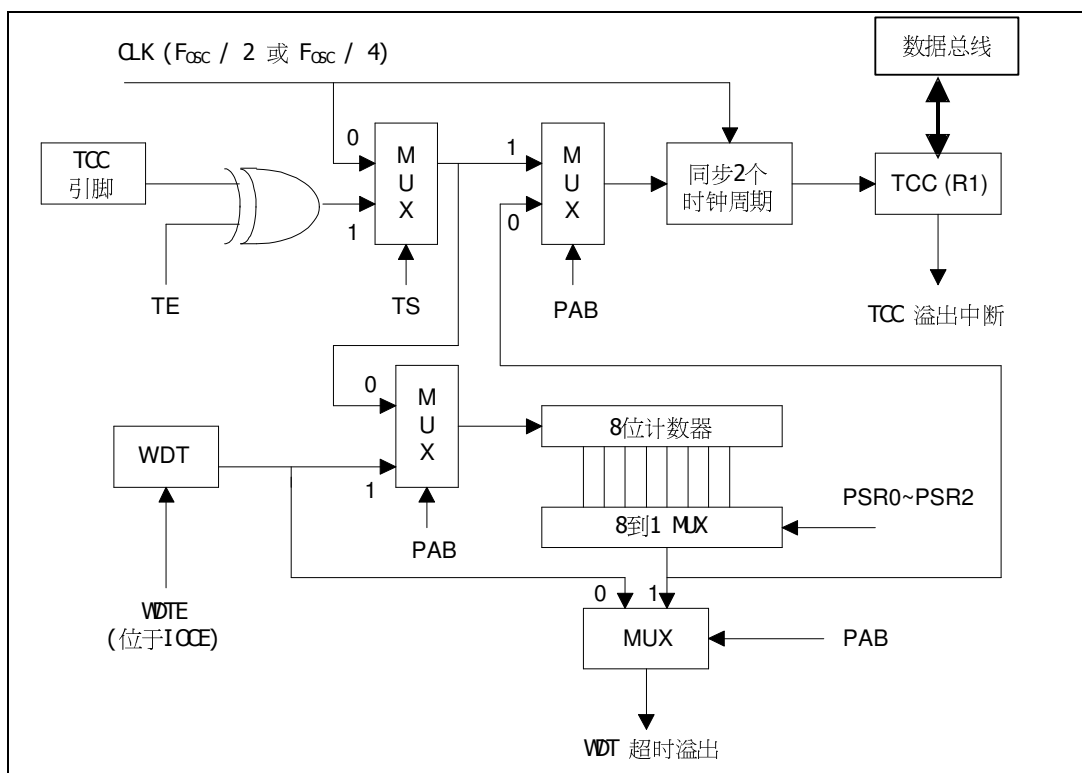
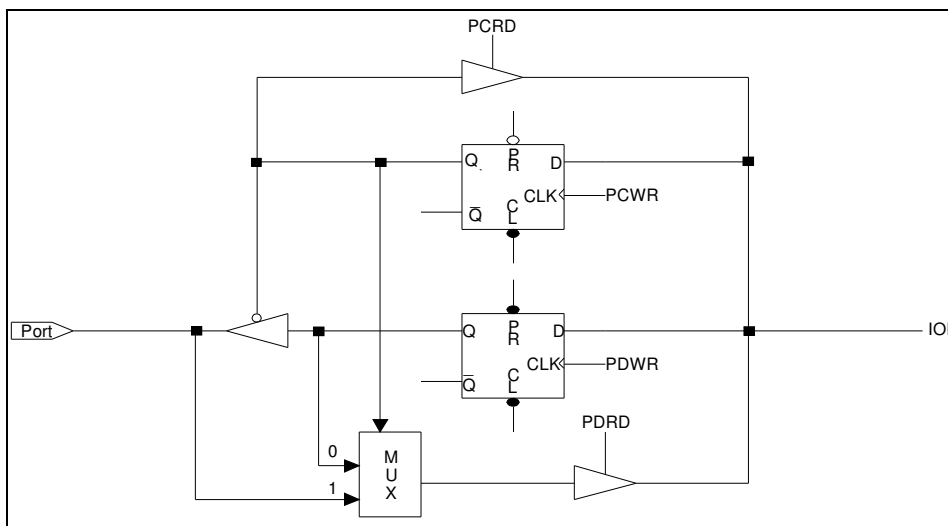


图5-4 TCC和WDT的结构图

5.4 I/O 端口

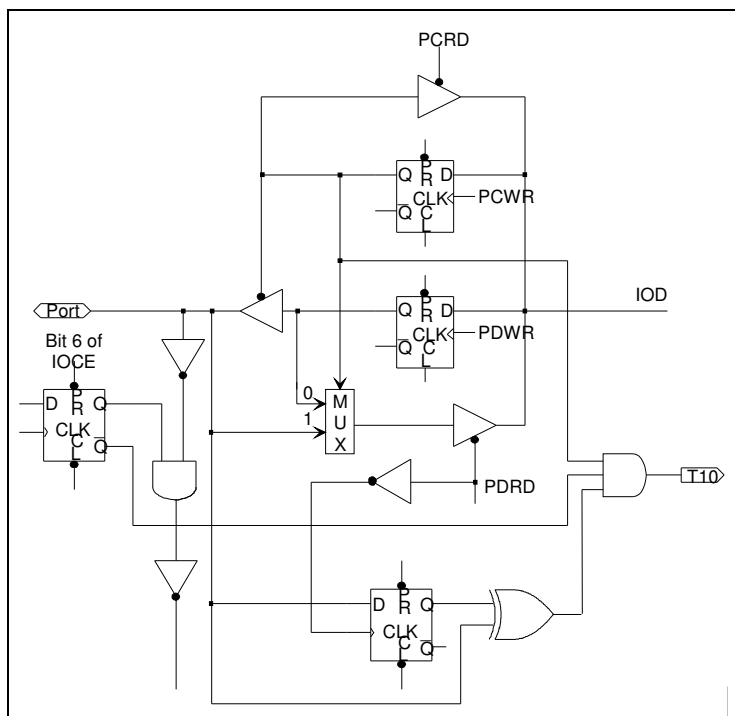
Port 5和Port6均为双向三态I/O端口。Port 6端口引脚中除P63引脚外，可编程使其内部上拉和漏极开路输出功能；另外，Port 6端口具有输入状态改变中断（或唤醒）功能；P50 ~ P52和P60 ~ P62引脚可编程为内部下拉。除P63引脚外的每个I/O引脚都可通过设置I/O控制寄存器(IOC5 ~ IOC6)的相应位定义为“输入”或“输出”。I/O寄存器和I/O控制寄存器均为可读/写寄存器。Port 5和Port 6的I/O接口电路分别描绘在图5-5、图5-6和图5-7。

¹ 注意: Vdd = 5V, 溢出时间 = 16.5ms ± 30%
Vdd = 3V, 溢出时间 = 18ms ± 30%



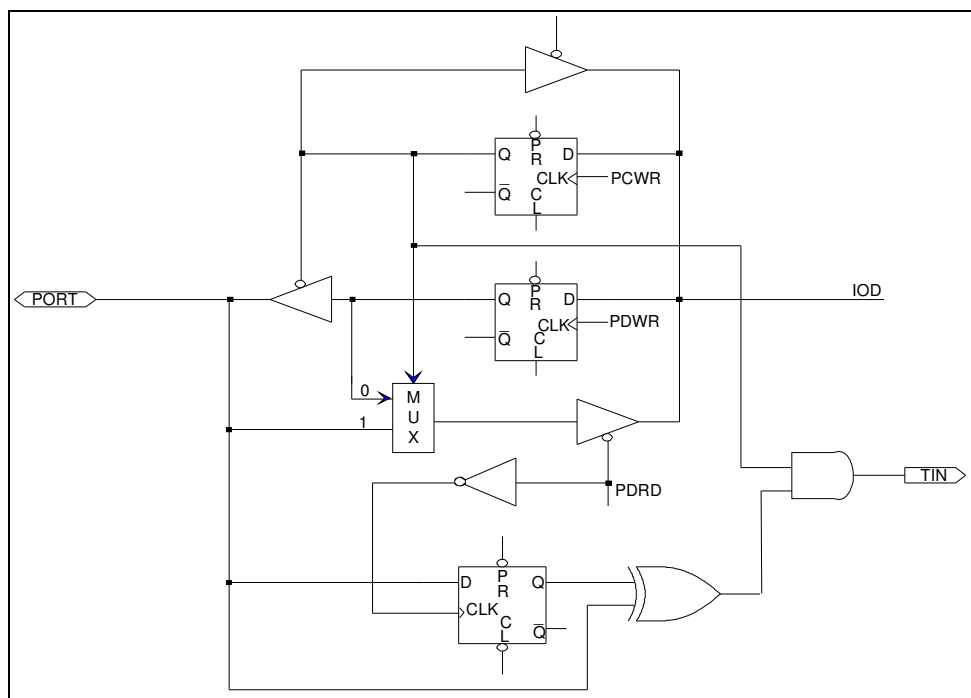
注意: 下拉部分电路未显示在图中.

图5-5 Port 5的I/O端口和I/O控制寄存器电路



注意: 上拉(下拉)、漏极开路部分电路未显示在图中.

图5-6 P60(/INT)的I/O端口和I/O控制寄存器电路



注意: 上拉(下拉)、漏极开路部分电路未显示在图中.

图5-7 P61~P67的I/O端口和I/O控制寄存器电路

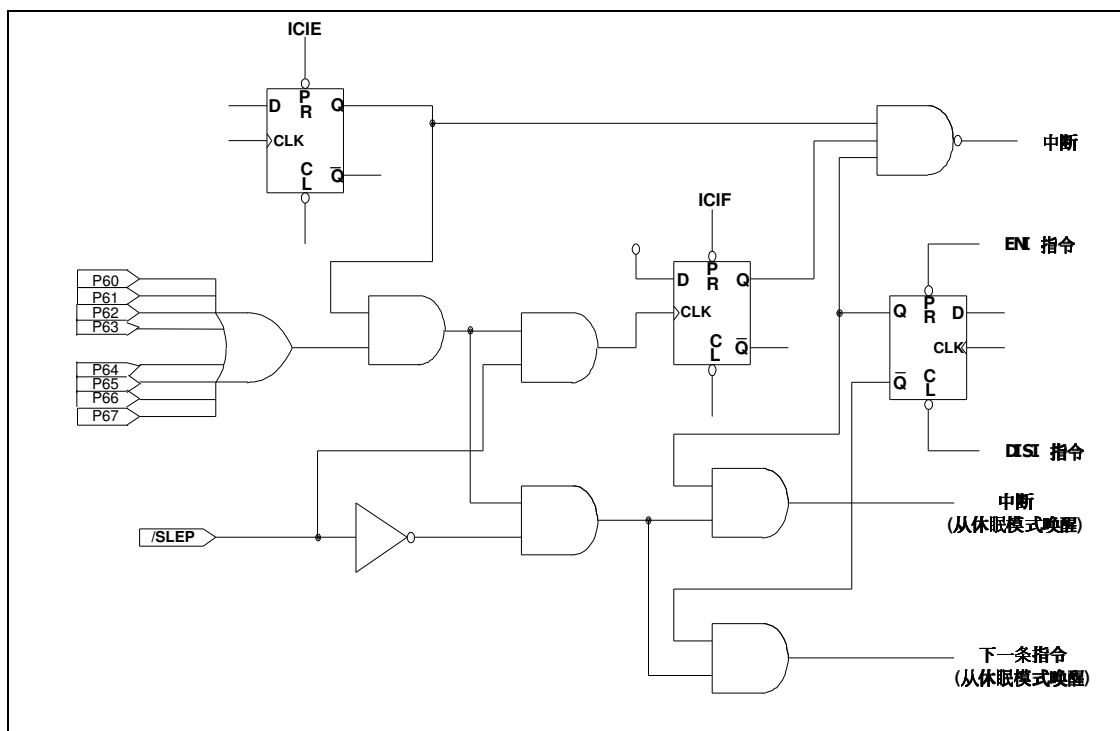


图 5-8 带输入状态改变中断/唤醒的Port 6端口结构图

表 5-1 Port 6 输入状态改变唤醒/中断功能的用法

Port 6 输入状态改变唤醒/中断功能的用法	
(I) Port 6 输入状态改变触发唤醒 (a) 休眠前 1. 禁止 WDT 2. 读 Port 6 3. 执行 "ENI" 或 "DISI" 指令 4. 使能中断 (置 1 IOCF.1) 5. 执行 "SLEP" 指令 (b) 唤醒后 1. 如果 "ENI" → 中断向量 (008H) 2. 如果 "DISI" → 下一条指令	(II) Port 6 输入状态改变中断 1. 读 Port 6 2. 执行 "ENI" 3. 使能中断 (置 1 IOCF.1) 4. 如果 Port 6 输入状态改变 (中断) → 中断向量 (008H)

5.5 复位和唤醒

5.5.1 复位

复位可由以下事件之一引发:

- 1) 上电复位
- 2) /RESET 引脚输入“低”
- 3) WDT 溢出(若WDT使能)
- 4) 低电压复位

检测到复位状态后，器件将保持在周期为大约 18ms^2 (振荡器起振时间周期)的复位状态下。一旦产生复位，以下操作将被执行，参考图 10:

- 振荡器运行或起振 (休眠模式下)
- 程序计数器 (R2) 所有位都设置为 “0”
- 所有I/O端口引脚被配置为输入模式(高阻态)
- 看门狗定时器和预分频器清零.
- 上电后，R3寄存器的高3位清零.
- CONT寄存器中，除Bit 6 (INT 标志位)外，其它所有位都置为 “1”.
- IOCB寄存器的所有位置为 “1” .
- IOCC 寄存器清零
- IOCD 寄存器的所有位置为 “1”
- IOCE寄存器的Bit 7置 “1”，Bit 4 和 Bit 6 清零
- RF寄存器的 Bits 0~2 和 IOCF 寄存器的bits 0~2 清零.

² <注意> Vdd = 5V, 启动时间周期 = $16.5\text{ms} \pm 30\%$
 Vdd = 3V, 启动时间周期 = $18\text{ms} \pm 30\%$

执行“SLEP”指令后进入休眠模式（省电模式）。进入休眠模式后，WDT（若使能）清零但继续保持运行。

微控制器可由以下事件唤醒：

- 1) /RESET引脚的外部复位信号输入
- 2) WDT溢出(若使能)
- 3) Port 6 输入状态改变(若使能)

前两个事件将使EM78P153B复位。可用R3寄存器的T和P标志位来判断复位源（唤醒源）。最后一个事件将综合考虑后续程序的执行和全局中断("ENI"或"DISI"指令的执行情况)，来决定控制器在唤醒后是否进入中断向量。如果在SLEP指令前执行了ENI指令，唤醒后将从地址为008H处开始执行。如果在SLEP指令前执行了DISI指令，唤醒后将从SLEP指令的下一条指令开始执行。

在进入睡眠模式前，只允许事件2和事件3中的一个被使能。也就是：

[a] 如果在SLEP指令前Port 6输入状态改变中断被使能，必须通过软件编程禁止WDT，但代码选项寄存器的WDT位仍保持使能。因此，EM78P152/3S仅可由事件1或事件3唤醒。

[b] 如果在SLEP指令前WDT被使能，必须禁止Port 6输入状态改变中断。因此，EM78P152/3S仅可由事件1或事件2唤醒。参考中断章节。

如果Port 6输入状态改变中断被用作唤醒EM78P152/3S(以上Case [a]所述)，在SLEP指令前必须执行以下指令：

```
MOV A, @xxxxx1110b      ; 选择WDT预分频器,
                          ; 预分频比设为1:1

CONTW

WDTC                      ; 清除看门狗定时器和预分频器
MOV A, @0xxxxxxxxb      ; 禁止WDT
IOW RE

MOV R6, R6                ; 读 Port6
MOV A, @00000x1xb      ; 使能Port6 输入状态改变中断
IOW RF

ENI (或 DISI)           ; 使能(或禁止)全局中断
SLEP                     ; 进入休眠模式
```

注意

1. 从休眠模式唤醒后，WDT被自动使能。所以在从休眠模式唤醒后，应该在程序中合理的定义WDT使能/禁止操作
2. 为防止在Port 6输入状态改变中断进入中断向量或被用作唤醒MCU时产生复位，WDT预分频比必须设置为大于1:1。

5.5.2 唤醒和中断模式操作摘要

单片机可以从休眠模式和空闲模式中唤醒，唤醒信号如下列表所示：

唤醒信号	信号状况	休眠模式		正常模式	
		DISI	ENI	DISI	ENI
外部中断	EXIE = 0	唤醒无效		中断无效	
	EXIE = 1			下一条指令	中断+ 下一条指令
Port 6 引脚状态改变	ENWDT = 1 ICIE = 0	唤醒无效		中断无效	
	ENWDT = 1 ICIE = 1	唤醒无效	唤醒 + 中断向量	下一条指令	中断 + 中断向量
	ENWDT = 0 ICIE = 0	唤醒无效		中断无效	
	WDTEN = 0 ICIE = 1	唤醒无效	唤醒 + 中断向量	下一条指令	中断 + 中断向量
TCC 溢出	TCIE = 0	唤醒无效		中断无效	
	TCIE = 1			下一条指令	中断+ 中断向量
WDT 溢出	WDTE = 1	唤醒 + 复位		复位	
低电压复位	-	唤醒 + 复位		复位	

5.5.3 寄存器初始值总结

地址	寄存器名	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x00	R0	位名	-	-	-	-	-	-	-	-
		上电	U	U	U	U	U	U	U	U
	IAR	/RESET 和 WDT	P	P	P	P	P	P	P	P
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x01	R1	位名	-	-	-	-	-	-	-	-
		上电	0	0	0	0	0	0	0	0
	TCC	/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x02	R2	位名	-	-	-	-	-	-	-	-
		上电	0	0	0	0	0	0	0	0
	PC	/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变触发唤醒	Jump to Address 0x08 or continue to execute next instruction							
0x03	R3	位名	RST	GP1	GP0	T	P	Z	DC	C
		上电	0	0	0	1	1	U	U	U
	SR	/RESET 和 WDT	0	0	0	*	*	P	P	P
		引脚状态改变触发唤醒	1	P	P	*	*	P	P	P
0x04	R4	位名	-	-	-	-	-	-	-	-
		上电	1	1	U	U	U	U	U	U
	RSR	/RESET 和 WDT	1	1	P	P	P	P	P	P
		引脚状态改变触发唤醒	1	1	P	P	P	P	P	P
0x05	P5	位名	x	x	x	x	P53	P52	P51	P50
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	P	P	P	P	P	P	P	P
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x06	P6	Bit Name	P67	P66	P65	P64	P63	P62	P61	P60
		Power-on	1	1	1	1	1	1	1	1
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-up from Pin Change	P	P	P	P	P	P	P	P
0x0F	RF	位名	x	x	x	x	x	EXIF	ICIF	TCIF
		上电	0	0	0	0	0	0	0	0
	ISR	/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变触发唤醒	0	0	0	0	0	P	N	P
N/A	CONT	位名	x	/INT	TS	TE	PAB	PSR2	PSR1	PSR0
		上电	1	0	1	1	1	1	1	1
		/RESET 和 WDT	1	0	1	1	1	1	1	1
		引脚状态改变触发唤醒	P	0	P	P	P	P	P	P



Addr.	Name	Reset Type	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x05	IOC5	位名	x	x	x	x	C53	C52	C51	C50
		上电	0	0	0	0	1	1	1	1
		/RESET 和 WDT	0	0	0	0	1	1	1	1
		引脚状态改变触发唤醒	0	0	0	0	P	P	P	P
0x06	IOC6	位名	C67	C66	C65	C64	C63	C62	C61	C60
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x0B	IOCB	位名	x	/PD66	/PD65	/PD64	x	/PD52	/PD51	/PD50
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x0C	IOCC	位名	OD67	OD66	OD65	OD64	x	OD62	OD61	OD60
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x0D	IOCD	位名	/PH67	/PH66	/PH65	/PH64	x	/PH62	/PH61	/PH60
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x0E	IOCE	位名	WDTE	EIS	x	x	x	x	x	x
		上电	1	0	1	1	1	1	1	1
		/RESET 和 WDT	1	0	1	1	1	1	1	1
		引脚状态改变触发唤醒	1	P	1	1	1	1	1	1
0x0F	IOCF	位名	x	x	x	x	x	EXIE	ICIE	TCIE
		上电	1	1	1	1	1	0	0	0
		/RESET 和 WDT	1	1	1	1	1	0	0	0
		引脚状态改变触发唤醒	1	1	1	1	1	P	P	P
0x10 ~ 0x2F	R10 ~ R2F	位名	-	-	-	-	-	-	-	-
		上电	U	U	U	U	U	U	U	U
		/RESET 和 WDT	P	P	P	P	P	P	P	P
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P

惯例: X: 未使用。 U: 未知或不用关心。 -: 未定义。 P: 复位前的值

* 参考下节表格(5.5.4节)。

5.5.4 状态寄存器的RST,T和P的状态

复位可由以下事件引发:

- 1) 上电
- 2) /RESET引脚上的高-低-高信号脉冲
- 3) 看门狗定时器溢出

可用下表中的RST、T和P标志位的取值判断唤醒处理器的事件源。

表 5-2 复位后RST、T和P标志位的值

Reset Type	RST	T	P
上电	0	1	1
正常模式下的/RESET 引脚信号引发复位	0	*P	*P
休眠模式下/RESET 引脚信号触发唤醒	0	1	0
正常模式下的 WDT 溢出复位	0	0	*P
休眠模式下的 WDT 溢出唤醒	0	0	0
休眠模式下的引脚输入状态改变触发唤醒	1	1	0

* P: 复位前的值

下表显示了可能会影响RST、T和P标志位状态的事件。

表 1-3 事件发生后RST、T和P的状态

Event	RST	T	P
上电	0	1	1
WDTC 指令	*P	1	1
WDT 溢出	0	0	*P
SLEP 指令	*P	1	0
休眠模式下引脚状态改变触发唤醒	1	1	0

* P: 复位前的值

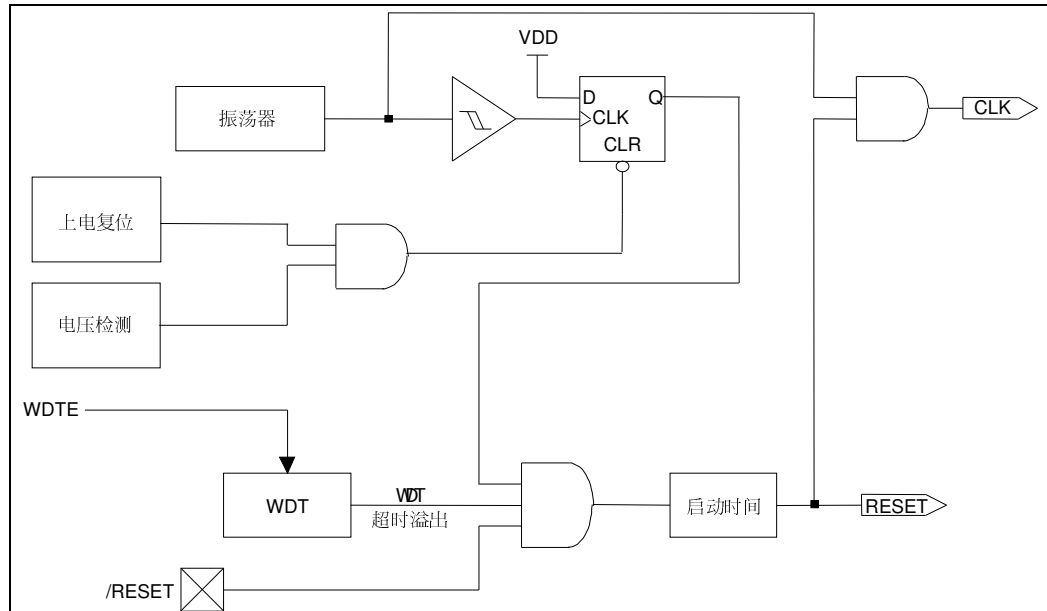


图 5-9 控制器复位结构图

5.6 中断

EM78P153B 有如下三种下降沿触发中断源：

- 1) TCC溢出中断
- 2) Port 6 输入状态改变中断
- 3) 外部中断 [(P60, /INT) 引脚]

在使能Port 6输入状态改变中断前，读Port 6 端口状态(例如：“MOV R6,R6”)是必要的。当引脚状态改变时，Port 6 的每个引脚均具有此特性。但当引脚被配置为输出或P60引脚配置为/INT时，相应引脚则失去此功能特性。当通过执行SLEP指令使控制器进入休眠模式前，Port 6输入状态改变功能被使能，则Port 6输入状态改变中断可使EM78P153B从休眠模式唤醒。器件唤醒后，如果全局中断被禁止，控制器将从SLEP指令的下一条指令处开始执行；如果全局中断被使能，控制器将跳转到中断向量008H处开始执行。

RF寄存器是中断状态寄存器，它的相应标志位记录对应的中断请求。IOCF寄存器是中断屏蔽寄存器。全局中断可通过执行ENI指令使能，通过执行DISI指令禁止。当产生某个中断（若使能），程序计数器将会跳转到地址008H处。在中断服务子程序中，可通过查询RF寄存器的标志位的状态判断中断源。在离开中断服务子程序前，必须通过指令清除中断标志位，这样可避免中断嵌套。

当有中断请求时，不管其相应中断屏蔽位的状态如何或者是否执行了ENI指令使能全局中断，中断状态寄存器（RF）中的相应标志位（ICIF位除外）都将被置1。注意，从RF寄存器读取的值是RF和IOCF的逻辑与的结果（参考图 5-10）。RETI指令结束中断服务子程序并使能全局中断（执行ENI）。

当中断是由外部中断源INT产生（若使能），程序计数器将会跳转到001地址处。

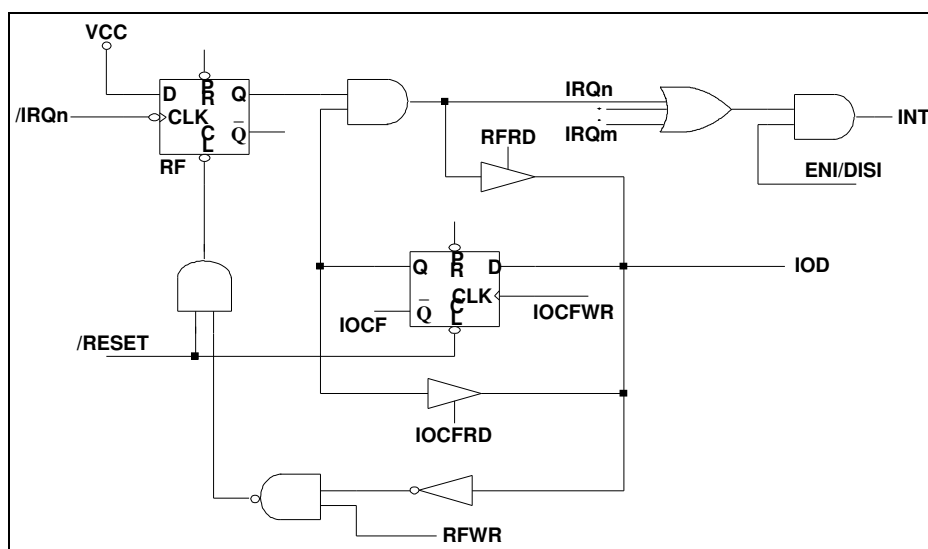


图 5-10 中断输入电路

5.7 振荡器

5.7.1 振荡模式

EM78P153B可运行在四种不同的振荡模式下，即：内部RC振荡模式(IRC)、外部RC振荡模式(ERC)、高频晶振模式(HXT)和低频晶振模式(LXT)。用户可通过编程设置代码选项寄存器的OSC1和OSC2位选择某种振荡模式。下表显示了这四种模式的定义方式。

表5-4 由OSC定义的振荡模式

振荡模式	RCOUT	OSC1	OSC0
LXT (低频晶振模式, 频率范围小于 400kHz)	x	0	0
HXT (高频晶振模式, 频率范围大于 400kHz)	x	0	1
ERC ¹ (外部 RC 振荡模式); P64/RCOUT 用作 P64	0	1	0
ERC ¹ (外部 RC 振荡模式); P64/RCOUT 用作 RCOUT	1	1	0
IRC ² (内部 RC 振荡模式); P64/RCOUT 用作 P64	0	1	1
IRC ² (内部 RC 振荡模式); P64/RCOUT 用作 RCOUT	1	1	1

¹在ERC模式, ERCin 用作振荡输入引脚. RCOUT/P64通过 Word 1代码选项的“Bit 3 “位来确定.

²在IRC模式, P64用作正常I/O引脚. RCOUT/P64通过Word 1代码选项的“Bit 3 “位来确定.

下表列出了晶体/谐振器在不同VDD条件下的最大工作频率。

表 5-5 最大工作频率总结

条件	VDD	最大工作频率 (MHz)
1 个指令周期包含 2 个时钟周期	2.3	4.0
	3.0	8.0
	5.0	20.0

5.7.2 晶体振荡器/陶瓷谐振器 (晶体)

EM78P153B 可由通过OSCI引脚输入的外部时钟信号驱动，如下图所示。

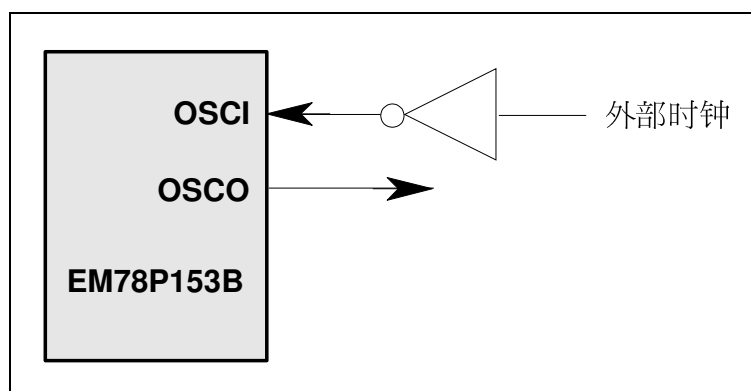


图 5-11 外部时钟输入电路

在大多数应用中，OSCI和OSCO引脚通常连接一个晶体或陶瓷谐振器以产生振荡，图5-12描绘了一个这样的电路。HXT模式和LXT模式都是以此种方式产生振荡。

如图5-13，在陶瓷震荡模式电路中必须在OSCI与OSCO之间串接阻值为 $1M\Omega$ 的电阻R1。

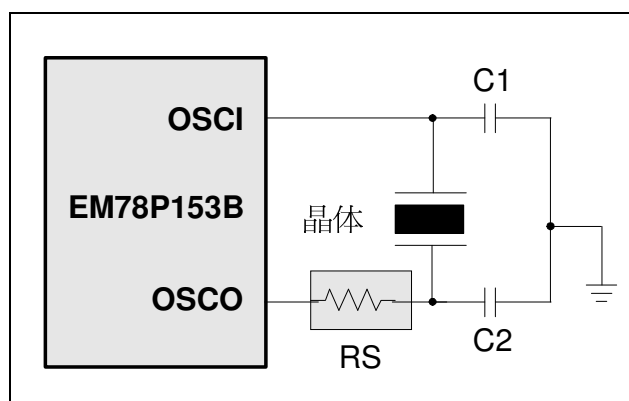


图 5-12 晶体谐振器电路

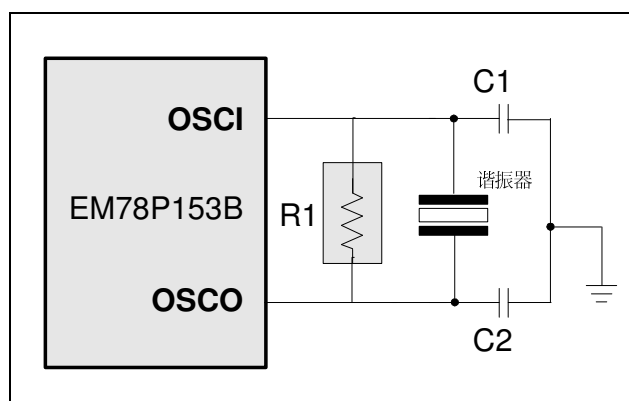


图 5-13 陶瓷谐振器电路

下表提供了C1和C2的参考建议值。因为每个谐振器都有它自己的属性，用户应参考它的用户手册以选择合适的C1和C2。对于AT切片型晶体或低频模式，可能需要一个串接电阻RS。

表 5-6 晶体振荡器或陶瓷谐振器匹配电容选择指南

振荡类型	频率模式	频率	C1 (pF)	C2 (pF)
陶瓷谐振器	HXT	455kHz	100 ~ 150	100 ~ 150
		2.0 MHz	20 ~ 40	20 ~ 40
		4.0 MHz	10 ~ 30	10 ~ 30
晶体振荡器	LXT	32768Hz	25	15
		100kHz	25	25
		200kHz	25	25
	HXT	455kHz	20 ~ 40	20 ~ 150
		1.0 MHz	15 ~ 30	15 ~ 30
		2.0 MHz	15	15
		4.0 MHz	15	15

5.7.3 外部 RC 振荡模式

对于一些不需要精确计时的应用，RC振荡器(图5-14)提供了一种大幅节省成本的方案。然而，应该注意到，RC振荡器的频率会受供电电压、电阻(R_{EXT})、电容(C_{EXT})甚至工作温度的影响。另外，因为生产过程的差异，一个器件的频率与另外一个器件的频率也会存在细微的差别。

为了维持在一个稳定的系统频率下， C_{EXT} 值应该大于20 pF， R_{EXT} 值不高于1 M Ω 。如果它们不在此范围内，系统频率很容易受噪声、湿度和漏电流的影响。

在RC振荡模式中， R_{EXT} 值越小，其振荡频率越快。相反，对一个非常小的 R_{EXT} 值，例如1 K Ω ，振荡器将变得不稳定。因为NMOS不能及时的释放电容电荷。

基于以上原因，必须时刻牢记，供电电压、工作温度、RC振荡器的元件特性、封装类型、PCB layout等因素都会对系统频率产生影响。

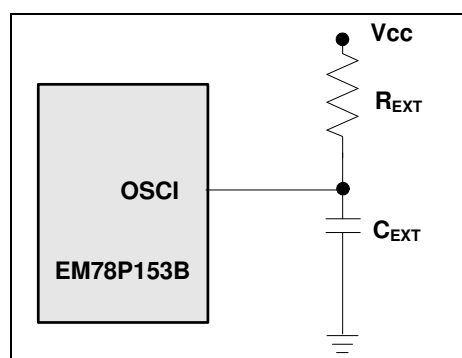


图5-14 外部RC振荡模式电路

表 5-7 RC 振荡频率

C _{EXT}	R _{EXT}	平均 F _{osc} 5V, 25°C	平均 F _{osc} 3V, 25°C
20pF	3.3k	2.064MHz	1.901MHz
	5.1k	1.403MHz	1.316MHz
	10k	750kHz	719.7kHz
	100k	81.45kHz	81.33kHz
100pF	3.3k	647.3kHz	615.1MHz
	5.1k	430.8kHz	414.3kHz
	10k	225.8kHz	219.8kHz
	100k	23.88kHz	23.96kHz
300pF	3.3k	256.6kHz	245.3kHz
	5.1k	169.5kHz	163.0kHz
	10k	88.53kHz	86.14kHz
	100k	9.283kHz	9.255kHz

注：¹ 数据在DIP封装类型上测量

² 以上数据仅用作设计参考

³ 频率偏移为± 30%

5.7.4 内部RC振荡模式

EM78P153B提供了种通用的内部RC模式其默认频率为4MHz。内部RC振荡模式还有其它频率值：8 MHz、1MHz和455kHz，可通过编程设置代码选项位RCM1和RCM0选择内部RC振荡模式的四个频率值。这四个主频均可通过编程代码选项位C0~C4进行校准。表5-8描述了EM78P153B随供电电压、温度和制程变化的内部RC频率偏移率。

表5-8 内部RC频率偏移率(Ta=25°C , VDD=5 V± 5%, VSS=0V)

内部 RC 频率	偏移率			
	温度(0°C ~ 70°C)	电压	制程	总计
4 MHz	± 1.5%	± 8% @ 2.3V ~ 5.5V	± 2%	± 11.5%
8 MHz	± 1.5%	± 8% @ 3.0V ~ 5.5V	± 2%	± 11.5%
1 MHz	± 1.5%	± 8% @ 2.3V ~ 5.5V	± 2%	± 11.5%
455kHz	± 1.5%	± 8% @ 4.0V ~ 5.5V	± 2%	± 11.5%

注：以上数据为理论值，仅用作设计参考。实际值可能随实际制程而有所不同。

5.8 代码选项寄存器

EM78P153B有一个代码选项字，它不位于用户程序存储空间。在执行用户程序时，这些位不可被存取。

- 代码选项寄存器和用户ID寄存器组织如下：

Word 0	Word 1	Word 2
Bit 12 ~ Bit 0	Bit 12 ~ Bit 0	Bit 12 ~ Bit 0

5.8.1 代码选项寄存器 (Word 0)

Word 0											
Bit	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2~0
助记符	RESETEN	ENWDT	CLKS	LVR1	LVR0	-	WDTPS1	WDTPS0	-	-	Protect
1	禁止	禁止	4个时钟	高	高	-	高	高	-	-	禁止
0	使能	使能	2个时钟	低	低	-	低	低	-	-	使能

Bit 12 (RESETEN): 定义引脚63为复位引脚

0: 使能/RESET

1: 禁止/RESET

Bit 11 (ENWDT): 看门狗定时器使能位

0: 使能

1: 禁止

Bit 10 (CLKS): 指令周期选择位.

0: 两个振荡周期

1: 四个振荡周期

参考指令集章节.

Bits 9 ~ 8 (LVR1 ~ LVR0): 低电压复位控制位

LVR1, LVR0	VDD Reset 电平	VDD Release 电平
11	NA (上电复位) (默认)	
10	2.7V	2.9V
01	3.5V	3.7V
00	4.0V	4.0V

Bit 7: 未使用. 固定为“1”.

Bits 6 ~ 5 (WDTPS1 ~ WDTPS0): WDT 溢出周期选择位.

Table 5-9 可编程WDT 溢出周期

WDTPS1	WDTPS0	*WDT 溢出周期
1	1	18 ms
1	0	4.5 ms
0	1	288 ms
0	0	72 ms

*这些是理论数据, 仅供参考

Bits 4 ~ 3: 未使用. 固定为“1”

Bits 2 ~ 0 (Protect): 保护位. 对应的保护状态如下:

保护位	保护
0	使能
1	禁止(默认)

5.8.2 代码选项寄存器(Word 1)

Word 1													
Bit	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
助记符	-	C4	C3	C2	C1	C0	RCM1	RCM0	-	RCOUT	OSC1	OSC0	-
1	-	高	高	高	高	高	高	高	-	高	高	高	-
0	-	低	低	低	低	低	低	低	-	低	低	低	-

Bit 12: 未使用. 固定为“1”.

Bits 11 ~ 7 (C4 ~ C0): 内部RC振荡模式频率校准位, 这些位要一直设为1(自动校正).

Bits 6 ~ 5 (RCM1, RCM0): RC模式选择位

RCM 1	RCM 0	*频率 (MHz)
1	1	4
1	0	8
0	1	1
0	0	455kHz

*理论数据, 仅供参考

Bit 4: 未使用. 固定为“1”.

Bit 3 (RCOUT): 振荡输出或I/O端口选择位

0: P64

1: OSC0

Bits 2 ~ 1 (OSC1 和 OSC0): 振荡模式选择位

振荡模式	OSC1	OSC0
LXT (低频晶振模式, 频率范围小于 400kHz)	0	0
HXT (高频晶振模式, 频率范围大于 400kHz)	0	1
ERC (外部 RC 振荡模式)	1	0
IRC (内部RC振荡模式)	1	1

振荡模式	RCOUT	OSC1	OSC0
LXT (低频晶振模式, 频率范围小于 400kHz)	X	0	0
HXT (高频晶振模式, 频率范围大于 400kHz)	X	0	1
ERC ¹ (外部 RC 振荡模式); P64/RCOUT 用作 P64	0	1	0
ERC ¹ (外部 RC 振荡模式); P64/RCOUT 用作 RCOUT	1	1	0
IRC ² (内部 RC 振荡模式); P64/RCOUT 用作 P64	0	1	1
IRC ² (内部 RC 振荡模式); P64/RCOUT 用作 RCOUT	1	1	1

¹ERC模式下, ERCin作为振荡输入引脚. RCOUT/P64由 Word 1代码选项的Bit 3 ~ Bit 1位来确定 Bit 3 ~ Bit 1.

²IRC模式下, P64作为正常I/O使用. RCOUT/P64由 Word 1代码选项的Bit 3 ~ Bit 1位来确定.

Bit 0: 未使用. 固定为“1”.

5.8.3 代码选项寄存器(Word 2)

Word 2													
Bit	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
助记符	ID12	ID11	ID10	ID9	ID8	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
1	高	高	高	高	高	高	高	高	高	高	高	高	高
0	低	低	低	低	低	低	低	低	低	低	低	低	低

Bits 12 ~ 0: 用户的ID的第12~0位

5.9 上电探讨

在供电电压达到稳定状态前, 任何微控制器都不能确保正常工作. 在用户应用中, 当电源关闭, Vdd在电源再次开启前, 必须降到1.8V以下并保持在关断状态大约10us. 这样EM78P153B将会复位并正常工作. 如果Vdd上升得非常快(50 ms 或更少), 额外的外部复位电路将工作的非常好. 但是在涉及到关键应用的大多数情况下, 可能需要额外的器件来辅助解决上电问题.

5.10 编程设置振荡器启动时间

代码选项字中的SUT0和SUT1可定义振荡器的启动时间. 理论上, 启动时间范围在4.5ms到72ms. 对于大多数晶体和陶瓷谐振器, 工作频率越低, 所需的启动时间越长. 表12显示了振荡器启动时间值.

5.11 外部上电电路

下图提供了一个利用外部RC电路产生复位脉冲的电路。脉冲宽度(时间常数)应该足够长以使Vdd达到最低工作电压。此电路用在供电电压上升很慢的情况。

因为/RESET引脚的漏电流大约为 $\pm 5\mu\text{A}$ ，因此建议R值不要大于40 K Ω 。此时，/RESET引脚电压保持在0.2V以下。二极管(D)在掉电时作为短路回路。电容C将快速充分放电。限流电阻Rin可防止高电流或ESD（静电释放）灌入/RESET引脚。

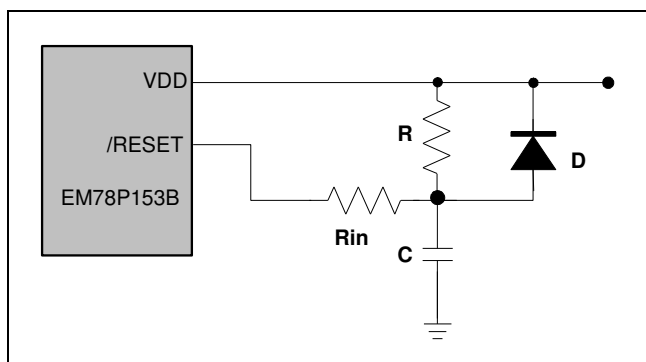


图 5-15 外部电源复位电路

5.12 残留电压保护

更换电池时，器件电源(Vdd)关断，但仍会存在残留电压。残留电压可能会掉到低于最小工作电压Vdd，但不为零。此条件可能触发一个不良上电复位。下面两图显示了怎样为EM78P153B建立残留电压保护电路。

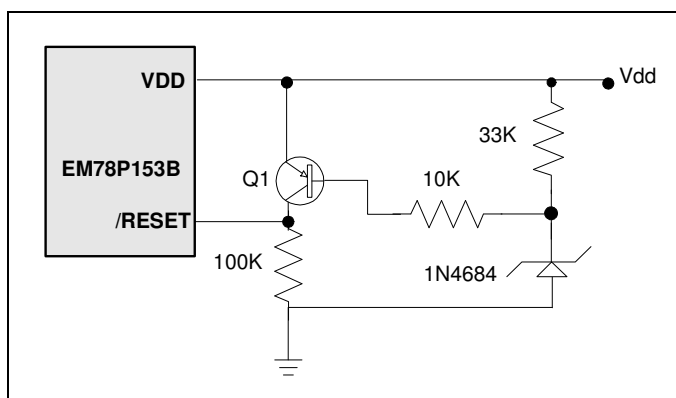


图 5-16 滤波电压保护电路1

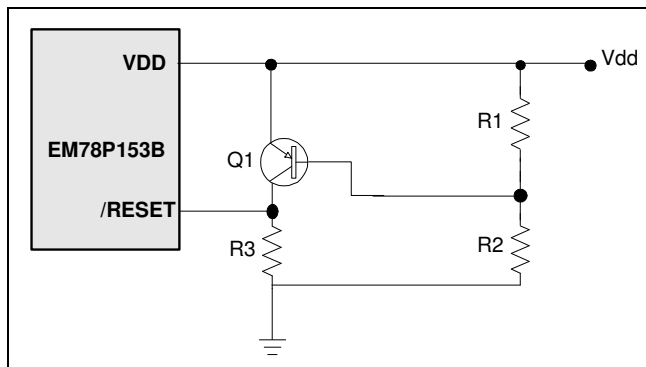


图 5-17 滤波电压保护电路 2

注意

 图5-16 和 图5-17是为了保证复位引脚电压大于 V_{IH} 的最小值而设计的

5.13 指令集

指令集中的每条指令均是13位。指令分为一个操作码和一个或多个操作数。一般情况下，除非指令的执行改变了程序计数器的值("MOV R2,A", "ADD R2,A")或者对R2的算术或逻辑操作 (例如. "SUB R2,A", "BS (C) R2,6", "CLR R2",), 否则执行所有的指令都只占用单个指令周期（一个指令周期包含2个振荡周期）。对于前面两种特殊的指令，执行指令需要两个指令周期。

如果由于某种原因，指令周期不适合特定应用，可尝试做如下修改：

(A) 改变指令周期为包含4个振荡周期。

(B) 在两个指令周期内执行, "JMP", "CALL", "RET", "RETL", "RETI"或条件测试结果为“真”的条件转移指令("JBS", "JBC", "JZ", "JZA", "DJZ", "DJZA")和向程序计数器写入的指令的执行均占用两个指令周期。

事件**(A)** 可通过设置代码选项位——CLK来选择，如果CLK为“0”，则一个指令周期包含两个振荡周期；如果CLK为“1”，则一个指令周期包含4个振荡周期。

注意：一旦在事件**(A)**中选择一个指令周期包含4个振荡周期，TCC的内部时钟源应为 $CLK = F_{osc}/4$ ，而不是 $F_{osc}/2$ 。

另外，指令集具有如下特性：

- (1) 任何寄存器的每个位都可被置1、清零或直接测试。
- (2) I/O寄存器可被当作通用寄存器。也就是，相同的指令可操作I/O寄存器。

以下符号在指令集表格中适用：

一般情况下：

- “R”表示一个寄存器指示符，用来指定指令操作哪个寄存器（包括操作寄存器和通用寄存器）。
- “b”表示一个位指示符，指定位于R寄存器中会影响操作的位。
- “K”代表一个8位或10位常数或立即数

助记符	操作	受影响标志位
NOP	不作任何操作	无
DAA	累加器 A 十进制调整	C
CONTW	A → CONT	无
SLEP	0 → WDT, 振荡器停止	T, P
WDTC	0 → WDT	T, P
IOW R	A → IOCR	无 ¹
ENI	使能中断	无
DISI	禁止中断	无
RET	[[栈顶] → PC	无
RETI	[[栈顶] → PC, 使能中断	无
CONTR	CONT → A	无
IOR R	IOCR → A	无 ¹
MOV R, A	A → R	无
CLRA	0 → A	Z
CLR R	0 → R	Z
SUB A, R	R - A → A	Z, C, DC
SUB R, A	R - A → R	Z, C, DC
DECA R	R - 1 → A	Z
DEC R	R - 1 → R	Z
OR A, R	A ∨ R → A	Z
OR R, A	A ∨ R → R	Z
AND A, R	A & R → A	Z
AND R, A	A & R → R	Z
XOR A, R	A ⊕ R → A	Z
XOR R, A	A ⊕ R → R	Z
ADD A, R	A + R → A	Z, C, DC
ADD R, A	A + R → R	Z, C, DC
MOV A, R	R → A	Z
MOV R, R	R → R	Z

助记符		操作	受影响的状态位
COMA	R	$/R \rightarrow A$	Z
COM	R	$/R \rightarrow R$	Z
INCA	R	$R + 1 \rightarrow A$	Z
INC	R	$R + 1 \rightarrow R$	Z
DJZA	R	$R - 1 \rightarrow A$, 执行结果为0, 跳过下一指令	无
DJZ	R	$R - 1 \rightarrow R$, 执行结果为0, 跳过下一指令	无
RRCA	R	$R(n) \rightarrow A(n - 1)$, $R(0) \rightarrow C, C \rightarrow A(7)$	C
RRC	R	$R(n) \rightarrow R(n - 1)$, $R(0) \rightarrow C, C \rightarrow R(7)$	C
RLCA	R	$R(n) \rightarrow A(n + 1)$, $R(7) \rightarrow C, C \rightarrow A(0)$	C
RLC	R	$R(n) \rightarrow R(n + 1)$, $R(7) \rightarrow C, C \rightarrow R(0)$	C
SWAPA	R	$R(0 - 3) \rightarrow A(4 - 7), R(4 - 7) \rightarrow A(0 - 3)$	无
SWAP	R	$R(0 - 3) \leftrightarrow R(4 - 7)$	无
JZA	R	$R + 1 \rightarrow A$, 若加1后结果为0, 跳过下一指令	无
JZ	R	$R + 1 \rightarrow R$, 若加1后结果为0, 跳过下一指令	无
BC	R, b	$0 \rightarrow R(b)$	无 ²
BS	R, b	$1 \rightarrow R(b)$	无 ³
JBC	R, b	if $R(b) = 0$, 跳过下一条指令	无
JBS	R, b	if $R(b) = 1$, 跳过下一条指令	无
CALL	k	$PC + 1 \rightarrow [SP], (Page, k) \rightarrow PC$	无
JMP	k	$(Page, k) \rightarrow PC$	无
MOV	A, k	$k \rightarrow A$	无
OR	A, k	$A \vee k \rightarrow A$	Z
AND	A, k	$A \& k \rightarrow A$	Z
XOR	A, k	$A \oplus k \rightarrow A$	Z
RETL	k	$k \rightarrow A, [Top\ of\ Stack] \rightarrow PC$	无
SUB	A, k	$K - A \rightarrow A$	Z, C, DC
INT		$PC + 1 \rightarrow [SP], 001H \rightarrow PC$	无
ADD	A, k	$K + A \rightarrow A$	Z, C, DC

注意:¹ 这条指令只对IOCS~IOC6, IOCB ~ IOCF 起作用

² 这条指令不建议用于操作RF寄存器

³ 这条指令不能操作RF寄存器

6 最大绝对值

项目	范围		
温度范围	0°C	到	70°C
存储温度	-65°C	到	150°C
输入电压	$V_{SS} - 0.3V$	到	$V_{DD} + 0.5V$
输出电压	$V_{SS} - 0.3V$	到	$V_{DD} + 0.5V$
工作电压	2.3V	到	5.5V
工作频率	DC	到	20 MHz

注意：这些参数都是理论数据，未经测试。

7 电气特性

7.1 直流电气特性

$T_A = 25^\circ\text{C}$, $V_{DD} = 5V$, $V_{SS} = 0V$

符号	参数	条件	最小值	典型值	最大值	单位
FXT	晶体: VDD 为 2.3V	1 条指令周期为 2 个时钟周期	DC	—	4.0	MHz
	晶体: VDD 为 3V	1 条指令周期为 2 个时钟周期	DC	—	8.0	MHz
	晶体: VDD 为 5V	1 条指令周期为 2 个时钟周期	DC	—	20.0	MHz
ERC	ERC: VDD 为 5V	R: 5k Ω , C: 39 pF	F \pm 30%	750	F \pm 30%	kHz
IIL	输入引脚输入漏电流	$V_{IN} = V_{DD}, V_{SS}$	—	—	± 1	μA
VIH1	输入高电压 (VDD=5.0V)	Ports 5, 6	1.8	—	—	V
VIL1	输入低电压 (VDD=5.0V)	Ports 5, 6	—	—	1.1	V
VIHT1	输入高临界电压 (VDD=5.0V)	/RESET, TCC (施密特触发)	1.8	—	VDD+0.3	V
VILT1	输入低临界电压 (VDD=5.0V)	/RESET, TCC (施密特触发)	VSS-0.3	—	1.1	V
VIHX1	时钟输入高电压 (VDD=5.0V)	OSCI	1.8	—	VDD+0.3	V
VILX1	时钟输入低电压 (VDD=5.0V)	OSCI	VSS-0.3	—	1.1	V
VIH2	输入高电压 (VDD=3.0V)	Ports 5, 6	1.35	—	VDD+0.3	V
VIL2	输入低电压 (VDD=3.0V)	Ports 5, 6	VSS-0.3	—	0.55	V
VIHT2	输入高临界电压 (VDD=3.0V)	/RESET, TCC (施密特触发)	1.35	—	VDD+0.3	V
VILT2	输入低临界电压 (VDD=3.0V)	/RESET, TCC (施密特触发)	VSS-0.3	—	0.55	V



符号	参数	条件	最小值	典型值	最大值	单位
VIHX2	时钟输入高电压 (VDD=3.0V)	OSCI	1.35	-	VDD+0.3	V
VILX2	时钟输入低电压 (VDD=3.0V)	OSCI	VSS-0.3	-	0.8	V
IOH	输出高驱动电流 (P5 和 P6)	VOH = 2.4V	-12	-17		mA
IOL	输出低灌电流 (P5 和 P6)	VOL = 0.4V	10.5	15		mA
IPH	上拉电流	激活上拉, 输入引脚接 VSS	-37.5	-57.5	-77.5	μA
IPD	下拉电流	激活下拉, 输入引脚接 VDD	17.5	37.5	57.5	μA
LVR1	低电压复位电平 1 (2.7V)	Ta = 25°C	2.41	2.7	2.99	V
		Ta = -40°C ~ 85°C	2.15	2.7	3.29	V
LVR2	低电压复位电平 2 (3.5V)	Ta = 25°C	3.1	3.5	3.9	V
		Ta = -40°C ~ 85°C	2.73	3.5	4.27	V
LVR3	低电压复位电平 3 (4.0V)	Ta = 25°C	3.55	4.0	4.44	V
		Ta = -40°C ~ 85°C	3.16	4.0	4.82	V
ISB1	省电电流	所有输入引脚和 I/O 引脚接 VDD, 输出引脚悬空, WDT 禁止	-	0.5	1	μA
ISB2	省电电流	所有输入引脚和 I/O 引脚接 VDD, 输出引脚悬空, WDT 使能	-	5	10	μA
ICC1	工作供电电流 (VDD=3V) 在 2 个 CLKS	/RESET= '高', Fosc=32KHz (晶振类型, CLKS="0"), 输出引脚悬空, WDT 禁止	-	15	30	μA
ICC2	工作供电电流 (VDD=3V) 在 2 个 CLKS	/RESET= '高', Fosc=32KHz (晶振类型, CLKS="0"), 输出引脚悬空, WDT 使能	-	19	35	μA
ICC3	工作供电电流 (VDD=5.0V) 在 2 个 CLKS	/RESET= '高', Fosc=4MHz (晶振类型, CLKS="0"), 输出引脚悬空	-	-	2.0	mA
ICC4	工作供电电流 (VDD=5.0V) 在 2 个 CLKS	/RESET= '高', Fosc=10MHz (晶振类型, CLKS="0"), 输出引脚悬空	-	-	4.0	mA

注:* 这些参数为理论数据, 未经测试.

7.2 交流电气特性

TA = 25°C, VDD = 5V, VSS = 0V

符号	参数	条件	最小值	典型值	最大值	单位
Dclk	输入时钟的占空比	-	45	50	55	%
Tins	指令周期 (CLKS="0")	晶振类型	100	-	DC	ns
		RC 类型	500	-	DC	ns
Ttcc	TCC 输入时间周期	-	(Tins+20)/N*	-	-	ns
Tdrh	器件复位持续时间	TXAL, SUT1, SUT0=1, 1	17.6~30%	17.6	17.6+30%	ms
Trst	/RESET 脉冲宽度	-	2000	-	-	ns
*Twdt1	看门狗定时器时间周期	SUT1, SUT0=1, 1	17.6~30%	17.6	17.6+30%	ms
*Twdt2	看门狗定时器时间周期	SUT1, SUT0=1, 0	4.5+30%	4.5	4.5+30%	ms
*Twdt3	看门狗定时器时间周期	SUT1, SUT0=0, 1	288~30%	288	288+30%	ms
*Twdt4	看门狗定时器时间周期	SUT1, SUT0=0, 0	72~30%	72	72+30%	ms
Tset	输入引脚启动时间	-	-	0	-	ns
Thold	输入引脚保持时间	-	-	20	-	ns
Tdelay	输出引脚延迟时间	C _{LOAD} = 20pF	-	50	-	ns

注: 这些参数为理论值, 未经测试。

看门狗定时器的持续时间有代码选项(Bit 6, Bit 5)定义

*N = 所选预分频比

*Twdt1: 代码选项字(SUT1,SUT0)用于定义振荡器启动时间。在晶振模式下, WDT溢出周期等于启动时间(18ms)。

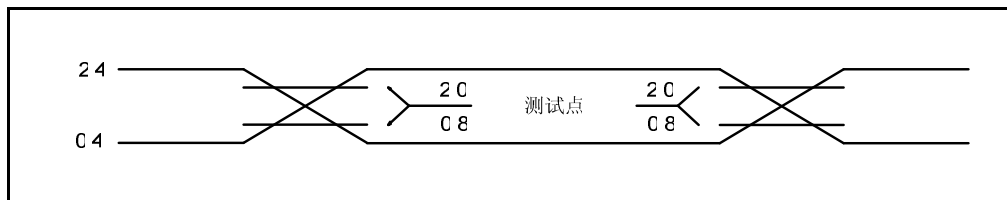
*Twdt2: 代码选项字(SUT1,SUT0)用于定义振荡器启动时间。在晶振模式下, WDT溢出周期等于启动时间(4.5ms)

*Twdt3: 代码选项字(SUT1,SUT0)用于定义振荡器启动时间。在晶振模式下, WDT溢出周期等于启动时间(288ms)

*Twdt4: 代码选项字(SUT1,SUT0)用于定义振荡器启动时间。在晶振模式下, WDT溢出周期等于启动时间(72ms)。

8 时序图

AC 测试输入/输出波形



注意:AC 测试: 输入为 2.4V 代表逻辑“1”, 0.4V 代表逻辑“0”,
 时序测量以 2.0V 代表逻辑“1”, 0.8V 代表“0”。

图 8-1a AC测试输入/输出波形时序图

复位时序(CLK = "0")

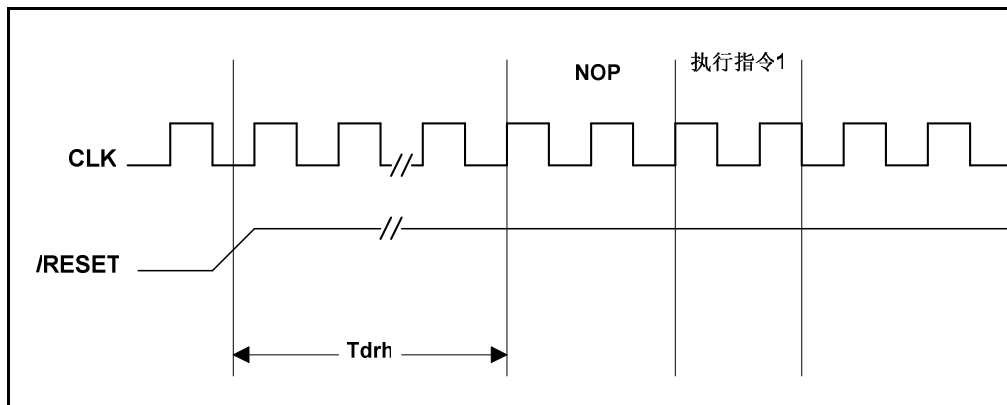


图 8-1b 复位时序图

TCC 输入时序 (CLKS = "0")

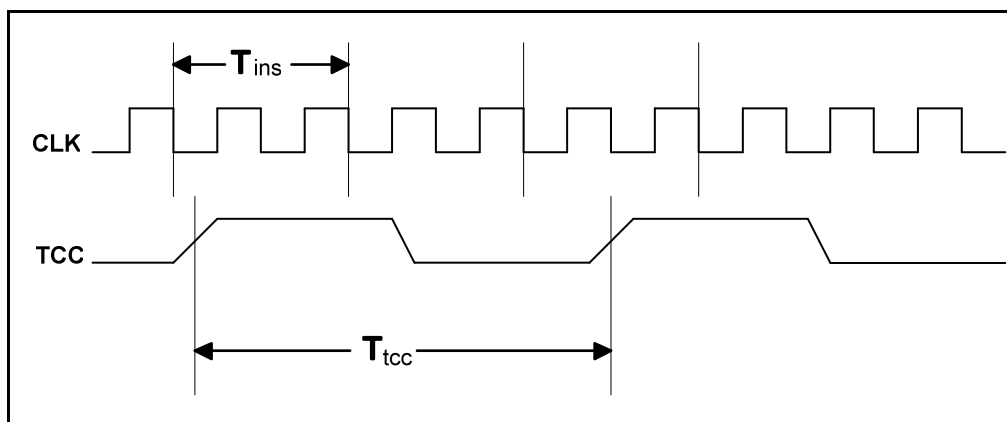
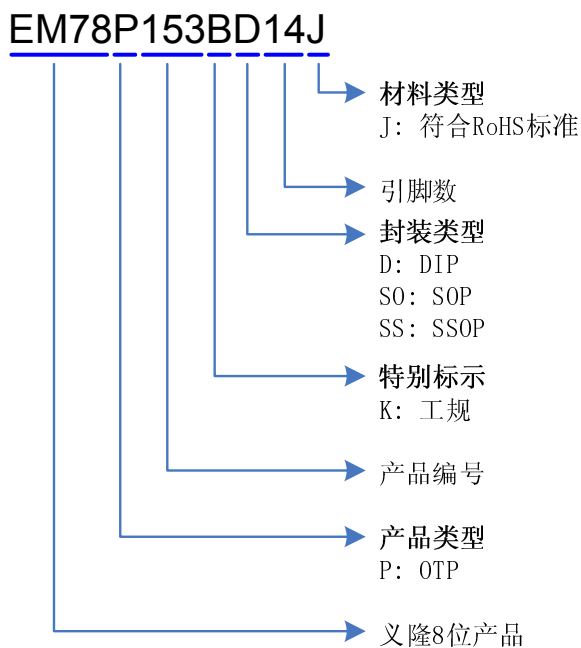


图 8-1c TCC 输入时序图

附录

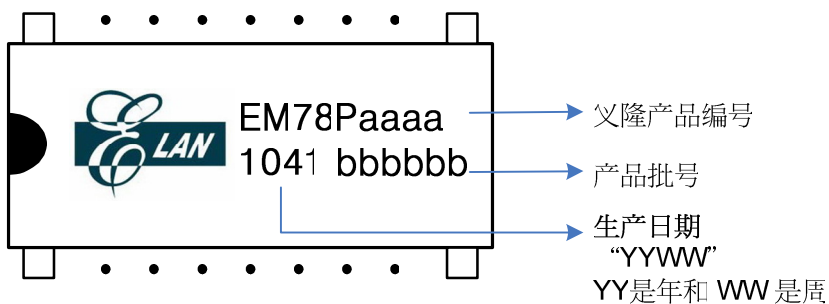
A 产品排序信息



例如:

EM78P153BS014J

EM78P153B 是OTP程序存储器, 符合RoHS标准的SOP 300mil封装14引脚工规产品



B 封装类型

OTP 微处理器	封装类型	引脚数	封装尺寸
EM78P153BD14J	DIP	14	300 mil
EM78P153BSO14J	SOP	14	150 mil
EM78P153BSS10J	SSOP	10	150 mil

项目	EM78P153BD14J EM78P153BSO14J EM78P153BSS10J
电镀类型	纯锡
成份 (%)	Sn: 100%
熔点(°C)	232°C
电阻率 ($\mu\Omega$ -cm)	11.4
硬度(hv)	8~10
伸长 (%)	>50%

C 封装信息

■ 14-引脚塑封双列直插封装(PDIP) — 300 mil

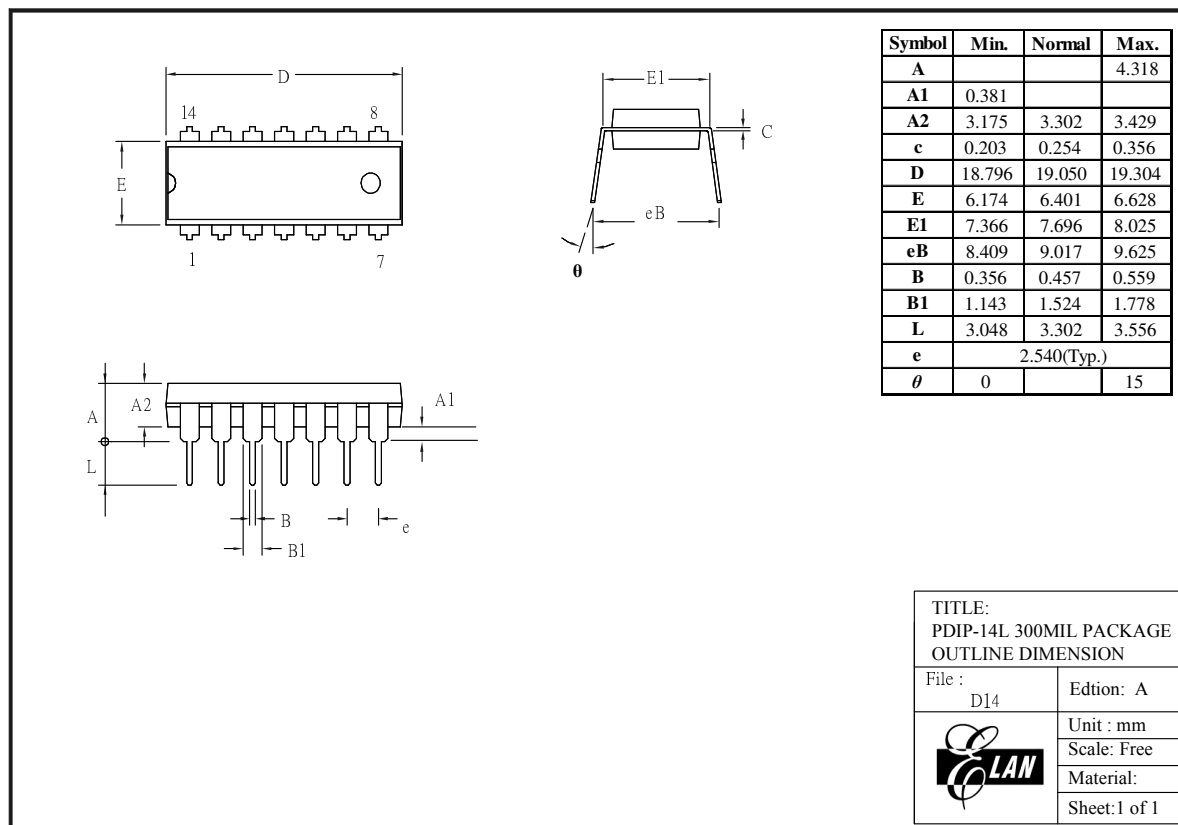


图 C-1a EM78P153B 14-引脚 DIP 封装类型

■ 14-引脚塑封小外形封装(SOP) — 150 mil

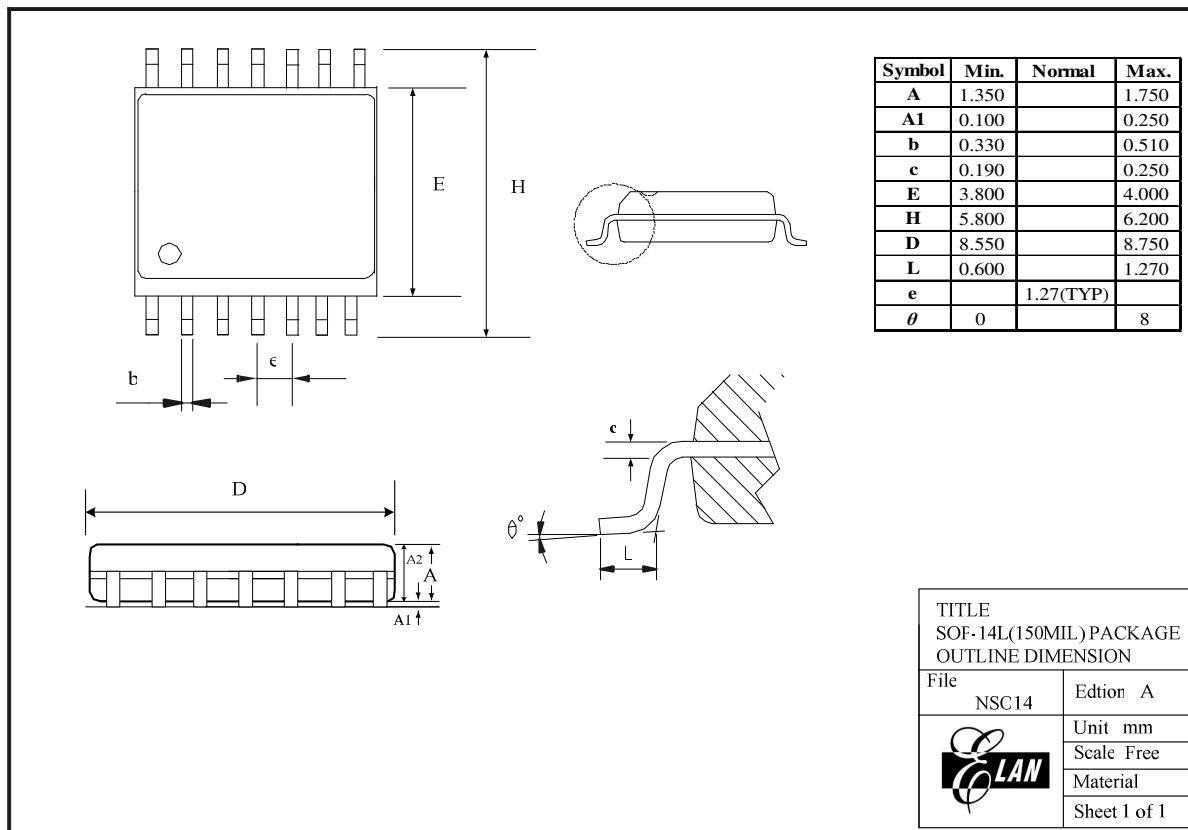
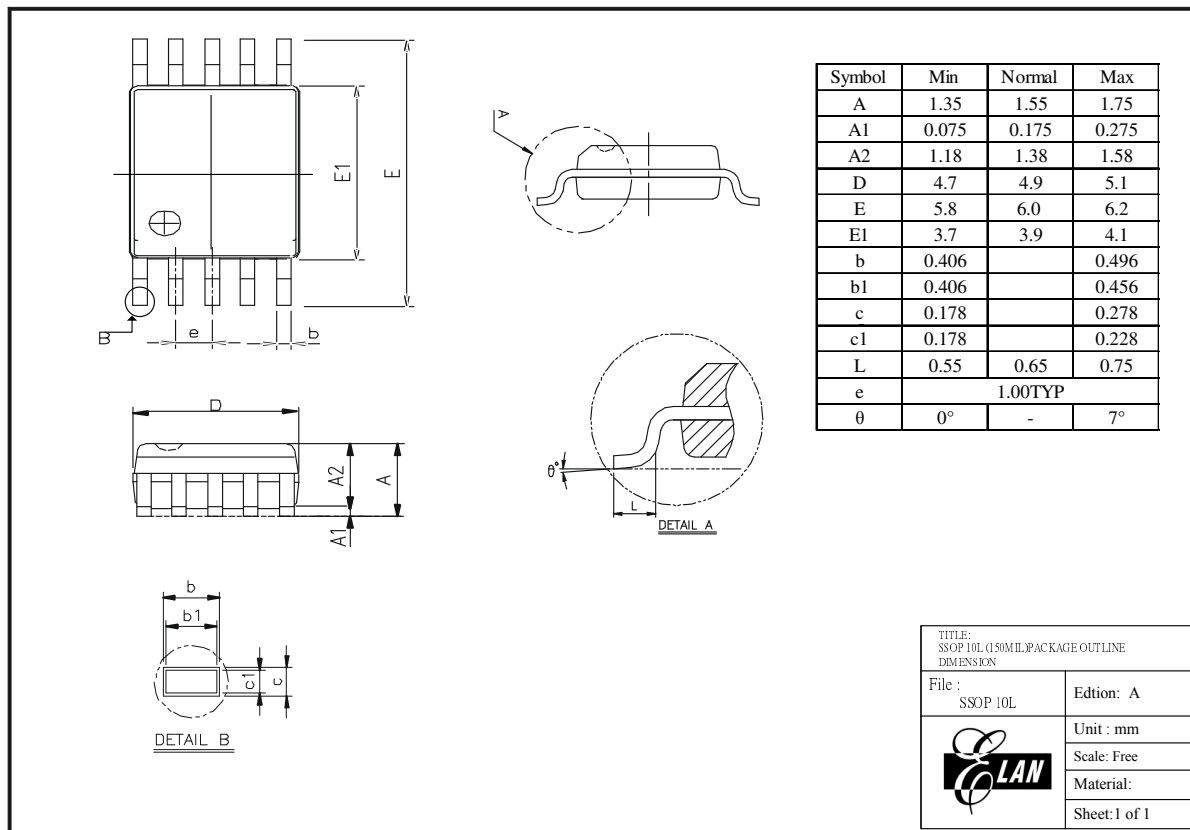


图 C-1b EM78P153B 14-引脚 SOP 封装类型

■ 10-引脚塑封缩小外形封装 (SSOP) – 150mil



图C-1c EM78P153B 10-引脚 SSOP 封装类型