
EM78P143

8位OTP
微控制器

产品规格书

版本 1.5

义隆电子股份有限公司
2011.03

本文内容是由英文规格书翻译而
目的是为了您的阅读更加方便。
它无法跟随原稿的更新，文中可
能存在翻译上的错误，请您参考
英文规格书以获得更准确的信
息。



商标告知:

IBM 为一个注册商标，PS/2 是 IBM 的商标之一。

Windows 是微软公司的商标。

ELAN 和 ELAN 标志  是义隆电子股份有限公司的商标。

版权所有 © 2008~2011 义隆电子股份有限公司

所有权利保留

台湾印制

本规格书内容如有变动恕不另作通知。关于该规格书的准确性、适当性或者完整性，义隆电子股份有限公司不承担任何责任。义隆电子股份有限公司不承诺对本规格书之内容及信息有更新及校正之义务。本规格书的内容及信息将为符合确认之指示而变更。

在任何情况下，义隆电子股份有限公司对本规格书中的信息或内容的错误、遗漏，或者其它不准确性不承担任何责任。由于使用本规格书中的信息或内容而导致的直接，间接，特别附随的或结果的损害，义隆电子股份有限公司没有义务负责。

本规格书中提到的软件（如果有），都是依据授权或保密合约所合法提供的，并且只能在这些合约的许可条件下使用或者复制。

义隆电子股份有限公司的产品不是专门设计来应用于生命维持的用具，装置或者系统。义隆电子股份有限公司的产品不支持而且禁止在这些方面的应用。

未经义隆电子股份有限公司书面同意，任何个人或公司不得以任何形式或方式对本规格书的内容之任一部分进行复制或传输。



义隆电子股份有限公司

总公司:

地址：台湾新竹科学园区
创新一路 12 号
电话:+886 3 563-9977
传真:+886 3 563-9966
webmaster@emc.com.tw
<http://www.emc.com.tw>

香港分公司:

义隆电子（香港）有限公司
九龙观塘巧明街 95 号世达中心 19
楼 A 室
电话：+852 2723-3376
传真：+852 2723-7780

USA:

**Elan Information
Technology Group (USA)**
P.O. Box 601
Cupertino, CA 95015
USA
Tel: +1 408 366-8225
Fax: +1 408 366-8225

Korea:

**Elan Korea Electronics
Company, Ltd.**
301 Dong-A Building
632 Kojan-Dong,
Namdong-ku
Incheon City, KOREA
Tel: +82 32 814-7730
Fax: +82 32 813-7730

深圳分公司:

义隆电子（深圳）有限公司
深圳市南山区高新技术产业园南
区高新南六道迈科龙大厦 8A
邮编：518057
电话：+86 755 2601-0565
传真：+86 755 2601-0500
elan-sz@elan.com.cn

上海分公司:

义隆电子（上海）有限公司
地址：上海市浦东新区张江高
科碧波路 5 号 科苑大楼 6 楼
邮编：201203
电话：+86 21 5080-3866
传真：+86 21 5080-0273
elan-sh@elan.com.cn

目录

1	综述	1
2	产品特性.....	1
3	引脚分配.....	2
4	引脚描述.....	3
4.1	EM78P143MS10J/S	3
4.2	EM78P143SO14J.....	4
5	结构框图.....	5
6	功能描述.....	6
6.1	操作寄存器	6
6.1.1	R0 (间接寻址寄存器)	6
6.1.2	R1 (定时/计数器).....	6
6.1.3	R2 (程序计数器) 和堆栈	6
6.1.3.1	数据存储配置	8
6.1.4	R3 (状态寄存器).....	8
6.1.5	R4 (RAM 选择寄存器).....	9
6.1.6	R5 (Port 5)	9
6.1.7	R6 (LVD 控制寄存器).....	9
6.1.8	R7 (MCSR:杂项控制和状态寄存器).....	10
6.1.9	R8 (AISR: ADC 输入选择寄存器).....	12
6.1.10	R9 (ADCON: ADC 控制寄存器)	13
6.1.11	RA (ADOC: ADC 补偿校准寄存器)	14
6.1.12	RB (ADDATAH: ADC 转换值).....	15
6.1.13	RC (ADDATAAL: ADC 转换值).....	15
6.1.14	RD (TBLP: TBRD 指令的查表指针寄存器的 LSB).....	15
6.1.15	RE (TBHP: TBRD 指令的查表指针寄存器的 MSB).....	15
6.1.16	RF (中断状态寄存器)	16
6.1.17	R10 ~ R3F	16
6.2	特殊目的寄存器	16
6.2.1	A (累加器)	16
6.2.2	CONT (控制寄存器)	16
6.2.3	IOC50 (I/O 端口控制寄存器).....	17
6.2.4	IOC60 (上拉控制寄存器).....	18
6.2.5	IOC70 (下拉控制寄存器).....	18
6.2.6	IOC80 (漏极开路控制寄存器)	18
6.2.7	IOC90 (CMPCON: 比较器控制寄存器).....	19
6.2.8	IOCA0 ~ IOCC0 : 保留.....	20
6.2.9	IOCD0 (选项控制位 1)	20
6.2.10	IOCE0 (选项控制位 2).....	21
6.2.11	IOCF0 (中断屏蔽寄存器)	22

6.2.12	IOC51 (PWMCON: PWM 控制寄存器)	23
6.2.13	IOC61 (TMRCON: 定时器控制寄存器)	24
6.2.14	IOC71 (PRD1: PWM1 工作周期)	25
6.2.15	IOC81 (PRD2: PWM2 工作周期)	25
6.2.16	IOC91 (DT1: PWM1 占空比)	25
6.2.17	IOCA1 (DT2: PWM2 占空比)	25
6.2.18	IOCB1 (TMR1: PWM1 定时器)	25
6.2.19	IOCC1 (TMR2: PWM2 定时器)	25
6.2.20	IOCD1 (唤醒控制寄存器)	25
6.2.21	IOCE1 (WDT 控制寄存器)	26
6.2.22	IOCF1 : 保留	27
6.3	TCC/WDT 和预分频器	27
6.4	I/O 端口	28
6.4.1	Port 5 输入状态改变唤醒/中断功能用法	31
6.5	复位和唤醒	31
6.5.1	复位和唤醒操作	31
6.5.1.1	唤醒和中断模式操作总结	34
6.5.1.2	唤醒和中断模式操作总结	35
6.5.1.3	复位后寄存器初始值	37
6.5.1.4	控制器复位结构框图	42
6.5.2	状态寄存器 T 和 P 标志位状态	42
6.6	中断	43
6.7	模数转换 (ADC)	45
6.7.1	ADC 控制寄存器 (AISR/R8, ADCON/R9, ADOC/RA)	45
6.7.1.1	R8 (AISR: ADC 输入选择寄存器)	45
6.7.1.2	R9 (ADCON: AD 控制寄存器)	46
6.7.1.3	RA (ADOC: AD 补偿校准寄存器)	48
6.7.2	ADC 数据寄存器 (ADDATAH/RB, ADDATAL/RC)	48
6.7.3	ADC 采样时间	48
6.7.4	AD 转换时间	49
6.7.5	休眠模式时的 AD 转换	49
6.7.6	程序设计步骤, 寄存器设置	49
6.7.6.1	程序设计步骤	49
6.7.6.2	演示程序	50
6.8	两路 PWM (脉宽调制)	52
6.8.1	概述	52
6.8.2	加定时计数器 (TMRX : TMR1 或 TMR2)	53
6.8.3	PWM 工作周期 (PRDX : PRD1 或 PRD2)	53
6.8.4	PWM 占空比 (DTX: DT1 or DT2; DLX: DL1 or DL2)	54
6.8.5	比较器 X	54
6.8.6	PWM 程序设计方法/步骤	54

6.8.7	PWM 级联 模式.....	55
6.9	定时器.....	55
6.9.1	概述.....	55
6.9.2	功能描述	55
6.9.3	相关寄存器设计.....	56
6.9.3.1	TMR1 和 TMR2 相关控制寄存器	56
6.9.4	定时器设计过程/步骤	56
6.9.5	定时器级联模式.....	57
6.10	比较器.....	57
6.10.1	比较器参考信号.....	58
6.10.2	比较器输出.....	60
6.10.3	比较器中断.....	60
6.10.4	从休眠模式唤醒.....	60
6.11	振荡器.....	61
6.11.1	振荡器模式.....	61
6.11.2	晶体振荡器/陶瓷谐振器 (晶体).....	61
6.11.3	外部 RC 振荡器模式.....	63
6.11.4	内部 RC 振荡模式	64
6.12	上电考量	64
6.12.1	WDT 溢出时间周期设计.....	64
6.12.2	外部上电复位电路	64
6.12.3	残留电压保护	65
6.13	代码选项寄存器	66
6.13.1	代码选项寄存器 (Word 0).....	66
6.13.2	代码选项寄存器(Word 1).....	67
6.13.3	用户 ID 寄存器 (Word 2).....	68
6.14	低电压检测	68
6.14.1	低电压复位.....	68
6.14.2	低电压检测.....	69
6.14.2.1	R6 (LVD 控制寄存器).....	69
6.14.3	设计过程	70
6.15	指令集.....	71
7	绝对最大值	74
8	DC 直流电气特性.....	74
8.1	AD 转换特性	76
8.2	比较器特性	77
9	AC 交流电气特性.....	77
10	时序图	78

附录

A	封装类型.....	79
B	封装结构.....	79
C	怎样使用 ICE143	81
	C-1 JP1 & JP2 的代码选择	81
	C-2 直拨开关(S1 & S2) 设置.....	82
	C-3 ICE 143 牛角座引脚配置(JP3)	83
	C-4 ICE 143 牛角座到目标板的引脚配置	84

规格版本历史

版本	修订描述	日期
0.9	初始版本	2008/10/25
1.0	初始开放版本	2009/03/12
1.1	1.增加了 EM78P143MS10J/S 封装型号。 2.修改了 6.5.1.3 节寄存器在复位后的初始值。 3.删除了 IOCB0 和 IOCC0 寄存器。 4.修改了最大绝对值。	2009/12/30
1.2	1.增加了 EM78P143SO14J/S 封装型号	2010/08/16
1.3	1.修改了 EM78P143SO14J 封装型号	2010/08/30
1.4	1.修改了 EM78P143SO14J 引脚分配	2010/11/01
1.5	1.在 6.15 章节增加了 LCALL,LJMP 指令	2011/03/07

1 综述

EM78P143 是采用低功耗高速 CMOS 工艺设计开发的 8 位微控制器。它的内部有一个 2K×13 位一次性可编程只读存储器(OTP-ROM)。它提供 1 个保护位用于防止用户在 OTP-ROM 中的程序被读取,同时拥有 3 个代码选项字以满足用户设定代码选项的需要。

利用其增加的 OTP-ROM 特性,EM78P143 可使用户方便的开发和校验程序并可使用义隆烧录器很容易的烧录自己的程序。

2 产品特性

■ CPU 配置

- 2K×13 位片内 ROM
- 80×8位片内寄存器(SRAM)
- 8级推栈用于子程序嵌套
- 4 级可编程电压检测 (LVD) : 4.5V, 4.0V, 3.3V, 2.2V
- 3级可编程电压复位 (LVR) : 4.0V, 3.5V, 2.7V
- 电流小于 1.5 mA @5V / 4 MHz
- 典型值 15 μ A, @3V / 32kHz
- 典型值 2 μ A@休眠模式

■ I/O 端口配置

- 1组双向I/O端口
- 唤醒端口 : P5
- 7个可编程下拉I/O引脚
- 7个可编程上拉I/O引脚
- 7个可编程开漏级I/O引脚
- 外部中断 : P52

■ 工作电压范围

- 工作电压: 2.1V~5.5V (商业级)
- 工作温度: 0°C ~70°C (商业级)

■ 工作频率范围

- 晶体模式:
DC~16 MHz / 2clks @ 4.5V
DC~8 MHz / 2clks @ 3V
DC~4 MHz / 2clks @ 2.1V
- ERC 模式:
DC~16 MHz / 2clks @ 4.5V
DC~12 MHz / 2clks @ 4V
DC~4 MHz / 2clks @ 2.1V
- IRC 模式:
振荡器模式 : 4 MHz, 8 MHz, 16 MHz, 455kHz

内部 RC 频率	偏移率			
	温度 (0°C~70°C)	电压 (2.3V~5.5V)	制程	总计 1
4 MHz	± 3%	± 5%	± 3%	± 11%
8 MHz	± 3%	± 5%	± 3%	± 11%
16 MHz	± 3%	± 5%	± 3%	± 11%
455kHz	± 3%	± 5%	± 3%	± 11%

四种主频都可以通过ICE143仿真器的4个校准位编程设定。OTP IRC频率可由ELAN烧录器自动校准。

■ 外围配置

- 8位实时时钟/计数器(TCC),可编程选择其信号源、触发边沿,溢出产生中断
- Vref模式下10位精度的7通道AD模数转换器
- 2个8位精度的PWM,每个都提供8位的实时时钟/计数器功能,并且支持来自这两个独立的16位级联模式
- 一组比较器(补偿电压:5mV,最大补偿电压:10mV)
- 省电模式(休眠)
- 高抗 EFT

■ 7 个可用中断源:

- TCC 溢出中断
- 输入口状态改变中断(从休眠模式唤醒)
- 外部中断
- ADC 完成中断
- PWM 周期匹配结束中断
- 比较器状态改变中断
- 低电压检测中断

■ 可编程自由运行的看门狗定时器

- 一个指令周期包含2个时钟周期
- WDT定时器 16.5ms \pm 30%在 Vdd = 5V @ 25°C (WDTPS=1 in Option pin)
- WDT定时器18ms \pm 30%在 Vdd = 3V @ 25°C (WDTPS=1 in Option pin)
- WDT定时器4.2ms \pm 30%在 Vdd = 5V @ 25°C (WDTPS=0 in Option pin)
- WDT定时器4.5ms \pm 30%在 Vdd = 3V @ 25°C (WDTPS=0 in Option pin)

■ 封装类型:

- 10-pin MSOP 118 mil : EM78P143MS10J/S
- 14-pin SOP 150 mil : EM78P143SO14J

注:绿色产品不包含有害物质。

四个主频都可以通过 143 芯片的四个校准字节位来调整。OTP 芯片由义隆烧录器自动调整。

3 引脚分配

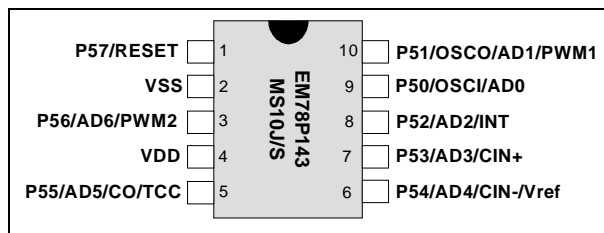


图 3-1 EM78P143MS10J/S 引脚分配

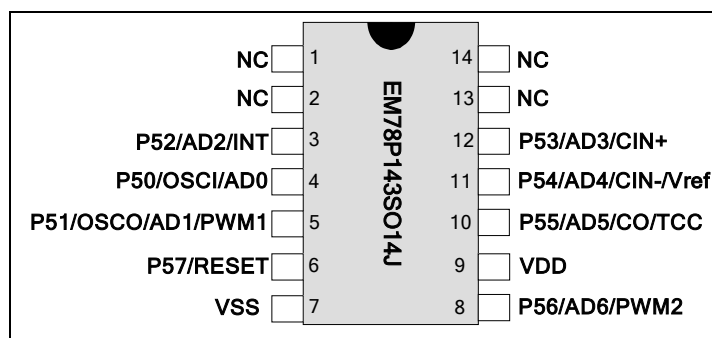


图3-2 EM78P143SO14J 引脚分配

4 引脚描述

4.1 EM78P143MS10J/S

引脚名称	引脚序号	引脚类型	引脚功能
P50~P57	5,3,1,10 7,9,8,6	I/O	8位通用 I/O 引脚 P50~P56 可通过软件设置上拉、下拉、漏极开路。
OSCI/ ERCin	9	I	外部晶体谐振振荡器时钟输入引脚。 外部 RC 振荡时钟输入引脚。
OSCO/ RCOUT	10	O	晶体振荡器时钟输出。 内部 RC 振荡器时钟输出。
TCC	5	I	实时时钟/计数器，施密特触发器输入引脚。如果不使用必须连到 VDD 或 VSS。
/RESET	1	I	施密特触发器输入引脚。此引脚保持低电平，控制器将复位。
CIN-, CIN+ CO	6, 7, 5	I/O	P54 可以作为比较器的 CIN- 引脚。 P53 可以作为比较器的 CIN+ 引脚。 P55 可以作为比较器的 CO 引脚。
VREF	6	I	P54 可以作为 ADC 的外部参考信号引脚。
ADC0~ ADC6	9,10,8,7 6,5,3	I/O	P50~P56 可以作为 10 位精度的 ADC 的 7 个输入通道
/INT	8	I	P52 作为外部中断引脚，下降沿触发。
PWM1 PWM2	10 3	O	P51 和 P56 可以作为 PWM 信号输出。
VDD	4	-	供电电源
VSS	2	-	地

4.2 EM78P143SO14J

引脚名称	引脚序号	引脚类型	引脚功能
P50~P57	4,5,3,12 11,10,8,6	I/O	8位通用 I/O 引脚 P50~P56 可通过软件设置上拉、下拉、漏极开路。
OSCI / ERCin	4	I	外部晶体谐振振荡器时钟输入引脚。 外部 RC 振荡器时钟输入引脚。
OSCO/RCOUT	5	O	晶体振荡器时钟输出。 内部 RC 振荡器时钟输出。
TCC	10	I	实时时钟/计数器，施密特触发器输入引脚。如果不使用必须连到 VDD 或 VSS。
/RESET	6	I	施密特触发器输入引脚，若此引脚保持低电平，控制器将处于复位状态
CIN-, CIN+, CO	11, 12, 10	I/O	P54 可以作为比较器的 CIN- 引脚。 P53 可以作为比较器的 CIN+ 引脚。 P55 可以作为比较器的 CO 引脚。
VREF	11	I	P54 可以作为 ADC 的外部参考信号引脚。
ADC0~ADC6	4,5,3,12 11,10,8	I/O	P50~P56 可以作为 10 位精度的 ADC 的 7 个输入通道
/INT	3	I	P52 作为外部中断引脚，下降沿触发
PWM1/PWM2	5, 8	O	P51 和 P56 可以作为 PWM 信号输出。
VDD	9	-	供电电源
VSS	7	-	接地
NC	1, 2, 13 14	-	保留

5 结构框图

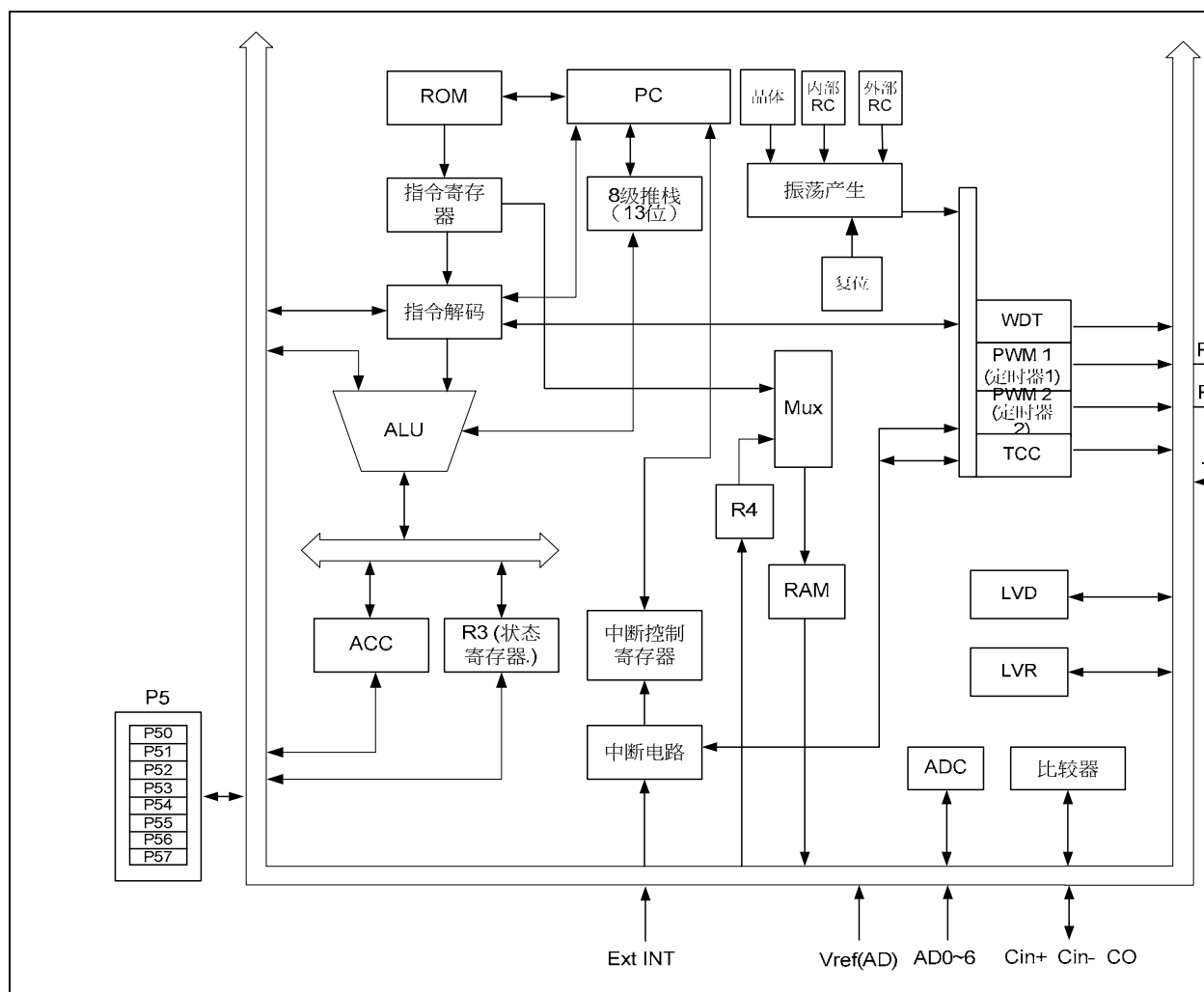


图 5-1 EM78P143 功能结构框图

6 功能描述

6.1 操作寄存器

6.1.1 R0 (间接寻址寄存器)

R0 并非实际存在的寄存器。它的主要功能是作为间接寻址指针。任何以 R0 为指针的指令实际上是对 RAM 选择寄存器 R4 所指的数据进行操作。

6.1.2 R1 (定时/计数器)

由 TE 位(CONT-4)定义信号源为 TCC 引脚输入的信号，或者是内部指令时钟周期。
可读可写

TCC 预分频计数器 (CONT) 分配给 TCC

寄存器 CONT 被清零：

- 当对 TCC 写入操作时
- 当对 TCC 预分频器寄存器 CONT 的 Bits 3, 2, 1, 0 进行写操作时
- 上电复位, /RESET, 或 WDT 溢出时

6.1.3 R2 (程序计数器) 和堆栈

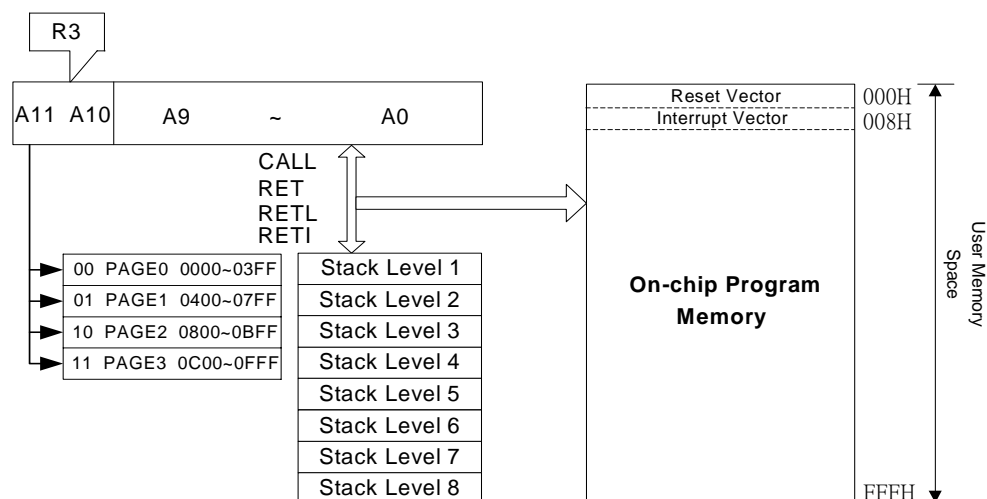


图 6-1 程序计数器结构框图

R2 硬件推栈宽度为 11 位. 其结构描述可参见章节 6.1.3.1 的数据存储配置

片上 ROM 地址空间为 $2K \times 13$ 位, 一个程序页容量为 1024 字节.

复位产生时 R2 被清零.

"JMP"指令直接加载程序计数器的低 10 位。因此, "JMP" 允许 PC 跳转到一个程序页的任何位置.

"CALL"指令首先加载 PC 的低 10 位, 然后将 PC+1 推入堆栈。因此, 子程序的入口地址可位于一个程序页的任何位置。

"LJMP" 指令允许直接加载程序计数器的 11 位 (A0~A10).因此, "LJMP" 允许 PC 跳转到 2K 范围内的任何位置.

"LCALL" 指令允许直接加载程序计数器的 11 位 (A0~A10), 然后将 PC+1 推入堆栈。因此, 子程序的入口地址可位于 2K 范围内的任何位置。

"RET" ("RETL k", "RETI")加载栈顶值到程序计数器中。

"ADD R2, A"允许将'A'寄存器的值加到当前 PC, PC 的第 9 及更高位依次增加。

"MOV R2, A"允许从 A 寄存器中加载一个地址值到 PC 的低 8 位, PC 的第 9 和第 10 位 (A8 ~ A9)保持不变。

任何向 R2 写入的指令 (除了"ADD R2,A"), 例如, "MOV R2,A", "BC R2,6", 等 将会使 PC 的第 9 和第 10 位(A8~A9)保持不变。

所有指令都是单周期指令($fclk/2$) 除了 "LCALL" 和 "LJMP". "LCALL" 和 "LJMP" 指令需要 2 个指令周期.

6.1.3.1 数据存储配置

地址	R 程序页寄存器	IO00 程序页寄存器	IO01 程序页寄存器
00	R0 (间接寻址寄存器)	保留	保留
01	R1 (定时计数器)	保留	保留
02	R2 (程序计数器)	保留	保留
03	R3 (状态寄存器)	保留	保留
04	R4 (RAM选择寄存器)	保留	保留
05	R5 (Port 5)	IO05 (I/O 端口控制寄存器)	IO05(PMCON: PWM控制寄存器)
06	R6 (LVD 控制寄存器)	IO06 (上边沿控制寄存器)	IO06 (TMRC0N: 定时器控制寄存器)
07	R7 (MSR)	IO07 (下边沿控制寄存器)	IO07 (PRC1: PWM 工作周期)
08	R8 (ADC 输入选择寄存器)	IO08 (开漏控制寄存器)	IO08 (PRC2: PWM 工作周期)
09	R9 (ADC 控制寄存器)	IO09 (比较器控制寄存器)	IO09 (DT1: PWM 占空比)
0A	RA (ADC 补偿校准寄存器)	IO0A 保留	IO0A (DT2: PWM 占空比)
0B	RB (转换值寄存器ADAT4-B t 9-B t 2)	IO0B 保留	IO0B (TMR1: PWM 定时器)
0C	RC (转换值寄存器ADAT4-B t 1-B t 0)	IO0C 保留	IO0C (TMR2: PWM 定时器)
0D	RD (THP: 查表寄存器高位1B)	IO0D (代码选项控制寄存器)	IO0D 唤醒控制寄存器
0E	RE (THP: 查表寄存器高位4B)	IO0E (代码选项控制寄存器)	IO0E (WDT 控制寄存器)
0F	RF (中断状态寄存器)	IO0F (中断屏蔽寄存器 1)	保留
10 : 1F	通用寄存器		
20 : 3F	Bank 0	Bank 1	

6.1.4 R3 (状态寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RST	IOCS	-	T	P	Z	DC	C

Bit 7 (RST): 复位类型位

如果引脚输入状态改变、比较器状态改变或 AD 转换结束使单片机从休眠模式唤醒，此位置“1”。其他复位类型唤醒则置“0”

Bit 6 (IOCS): I/O 控制寄存器段选择位

0: 选择段 0 (IOC50 ~ IOCF0)

1: 选择段 1 (IOC51 ~ IOCF1)

Bit 5: 未使用 (保留)

Bit 4 (T): 时间溢出标志位

上电或执行"WDTIC"和"SLEP"指令时置"1"，WDT 溢出时为"0"。

Bit 3 (P): 省电标志位

上电或执行"WDTIC"指令时置"1"，执行"SLEP"指令时复位为"0" (更多详细信息请参考 6.5.2 节状态寄存器的 T 和 P 状态)。

注意

Bit 4 和 Bit 3 (T和P) 只读。

Bit 2 (Z): 零标志位. 当算术或逻辑运算的结果为 0 时置"1"。

Bit 1 (DC): 辅助进位标志位

Bit 0 (C): 进位标志位

6.1.5 R4 (RAM 选择寄存器)

Bit 7: 未使用,为 '0'

Bit 6: 用来选择 Bank 0 或 Bank 1

Bits 5~0: 间接寻址模式下，用于选择地址在 00~0F 和 10~3F 范围内的寄存器
参见章节 6.1.3.1 的数据存储配置表。

6.1.6 R5 (Port 5)

R5: I/O 端口寄存器。

6.1.7 R6 (LVD 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
'0'	LVDIF	/LVD	LVDIE	LVDWE	LVDEN	LVD1	LVD0

Bit 7: 未使用, 为 '0'.

Bit 6 (LVDIF): 低电压检测中断标志位.

LVDIF 可以被软件复位为"0".

Bit 5 (/LVD): 低电压检测状态位. 只读. 当 VDD 引脚的电压低于 LVD 电压中断电压 (由 LVD1 和 LVD0 选择), 此位将被清零.

0: 低电压被检测到

1: 低电压未被检测或 LVD 被禁止.

Bit 4 (LVDIE): 低电压检测中断使能位.

0: 禁止低电压检测中断.

1: 使能低电压检测中断.

注意

R6 <4> 寄存器可读可写.
单独中断使能通过设置其相关控制位R6<4> 为“1”.
全局中断ENI指令使能，DISI指令禁能参见6.6章节图6-10（中断输入电路）.

Bit 3 (LVDWE): 低电压检测唤醒使能位.

0: 禁止低电压检测唤醒.

1: 使能低电压检测唤醒.

Bit 2 (LVDEN): 低电压检测使能位.

0: 禁止低电压检测功能.

1: 使能低电压检测功能.

Bits 1 ~0: 低电压检测等级选择位.

LVDEN	LVD1, LVD0	LVD 电压检测等级	/LVD
1	11	Vdd ≤ 2.2V	0
		Vdd > 2.2V	1
1	10	Vdd ≤ 3.3V	0
		Vdd > 3.3V	1
1	01	Vdd ≤ 4.0V	0
		Vdd > 4.0V	1
1	00	Vdd ≤ 4.5V	0
		Vdd > 4.5V	1
0	xx	NA	1

6.1.8 R7 (MCSR:杂项控制和状态寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
"0"	"0"	CPUS	IDLE	EIS	TCCSC	TMR1SC	TMR2SC

Bits 7~6: 未使用，为 '0'

Bit 5 (CPUS): CPU 振荡源选择位

0: 副频 (fs)

1: 主频 (fosc)

当 CPUS=0, CPU 振荡器选择副频作为振荡源，主频振荡器停止。

Bit 4 (IDLE): 空闲模式使能位. 此位决定执行 SLEP 指令后单片机进入那种模式.

0: IDLE="0"+SLEP 指令→ 睡眠模式

1: IDLE="1"+SLEP 指令 → 空闲模式

CPU 工作模式

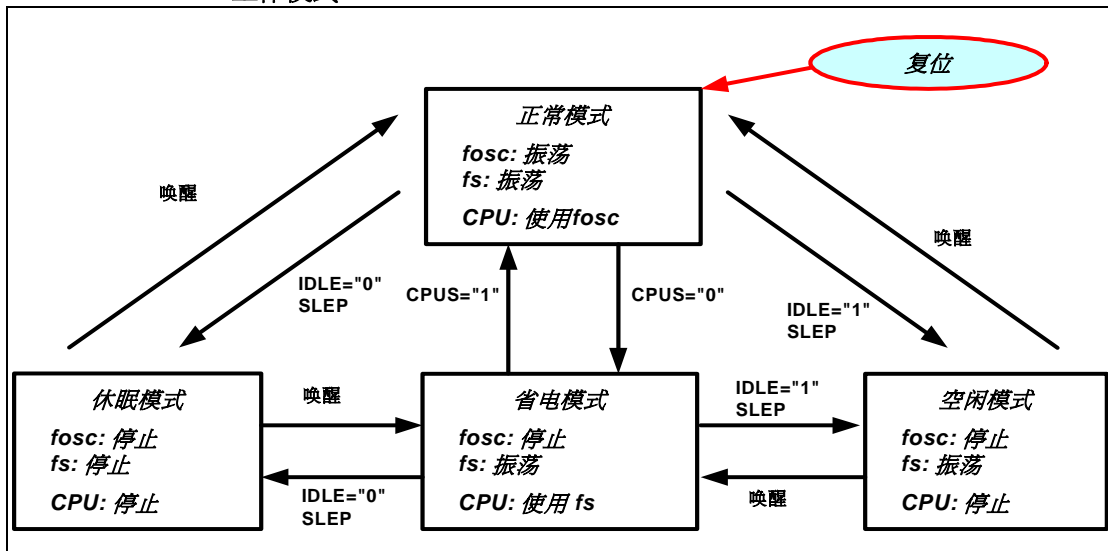


图 6-2 CPU 工作模式

Bit 3 (EIS): 定义 P52 (/INT) 引脚功能

0: P52, 普通 I/O 引脚

1: /INT, 外部中断引脚. 此时, 必须将 P52 的 I/O 控制位 (寄存器 IOC50 的 bit2) 置 "1".

注意

- 当 EIS 位为 "0", /INT 中断被屏蔽. 当 EIS 位为 "1", /INT 引脚的状态可以通过读寄存器 Port 5 (R5) 获知. 参见章节 6.4 (I/O 端口) 的图 6-4c (P52 (/INT) I/O 端口与 I/O 控制寄存器电路).
- EIS 可读可写.

Bit 2 (TCCSC): TCC 时钟源选择位

0: Fs: 副频 (用于 WDT 的内部 RC 基频)

1: Fm: 主频

Bit 1 (TMR1SC): TMR1 时钟源选择位

0: Fs: 副频 (用于 WDT 的内部 RC 基频)

1: Fm: 主频

Bit 0 (TMR2SC): TMR2 时钟源选择位

0: Fs: 副频 (用于 WDT 的内部 RC 基频)

1: Fm: 主频

6.1.9 R8 (AISR: ADC 输入选择寄存器)

AISR 寄存器分别将 Port5 端口的引脚定义为模拟信号输入或者普通 I/O 功能.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
"0"	ADE6	ADE5	ADE4	ADE3	ADE2	ADE1	ADE0

- Bit 7:** 未使用，为 '0'
- Bit 6 (ADE6):** P56 的 AD 转换使能位
0: 禁止 AD6, P56 功能为 I/O 引脚
1: 使能 AD6 为模拟信号输入引脚
- Bit 5 (ADE5):** P55 的 AD 转换使能位
0: 禁止 AD5, P55 功能为 I/O 引脚
1: 使能 AD5 为模拟信号输入引脚
- Bit 4 (ADE4):** P54 的 AD 转换使能位
0: 禁止 AD4, P54 功能为 I/O 引脚
1: 使能 AD4 为模拟信号输入引脚
- Bit 3 (ADE3):** P53 的 AD 转换使能位
0: 禁止 AD3, P53 功能为 I/O 引脚
1: 使能 AD3 为模拟信号输入引脚
- Bit 2 (ADE2):** P52 的 AD 转换使能位
0: 禁止 AD2, P52 功能为 I/O 引脚
1: 使能 AD2 为模拟信号输入引脚
- Bit 1 (ADE1):** P51 的 AD 转换使能位
0: 禁止 AD1, P51 功能为 I/O 引脚
1: 使能 AD1 为模拟信号输入引脚
- Bit 0 (ADE0):** P50 的 AD 转换使能位
0: 禁止 AD0, P50 功能为 I/O 引脚
1: 使能 AD0 为模拟信号输入引脚

注意

- P55/AD5/CO/TCC 引脚不能同时作为TCC, CO 和 AD5功能.
- P55/AD5/CO/TCC 引脚的优先级如下:

P55/AD5/CO/TCC 优先级			
最高	高	中	低
TCC	CO	AD5	P55

P50/AD0/OSCI 不能同时作为OSCI 和AD0 功能.

P50/AD0/OSCI优先级如下:

P50/AD0/OSCI		
高	中	低
OSCI	AD0	P50

6.1.10 R9 (ADCON: ADC 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VREFS	CKR1	CKR0	ADRUN	ADPD	ADIS2	ADIS1	ADIS0

Bit 7 (VREFS): ADC 的参考电压输入选择

0: VREFS 接至 Vdd (默认值), P54/VREFS 引脚作为 P54 功能.

1: VREFS 接至 P54/VREFS.

注意

P54/AD4/C-/VREFS 引脚不能同时作为VREFS, CIN- 和AD4 功能.

P54/AD4/C-/VREFS 引脚优先级如下:

P54/AD4/CIN-/VREF 引脚优先级			
最高	高	中	低
VREF	CIN-	AD4	P54

Bit 6 和 Bit 5 (CKR1 和 CKR0): AD 转换时间选择位

00 = 1: 16 (默认值)

01 = 1: 4

10 = 1: 64

11 = 1: 8

CKR1 : CKR0	工作模式	最大工作频率
00	Fosc/16	4 MHz
01	Fosc/4	1 MHz
10	Fosc/64	16 MHz
11	Fosc/8	2 MHz

Bit 4 (ADRUN): ADC 转换开始位
0: 转换完成后自动清零，不能由软件清零。
1: AD 转换开始. 可由软件置 1.

Bit 3 (ADPD): ADC 电源控制位
0: 关闭 AD 电源以省电，即使 CPU 正在运行
1: ADC 电路开启

注意
 ADPD 标志位必须先于ADRUN使能。程序设计参见章节6.7.6.

Bit 2 ~ Bit 0 (ADIS2 ~ ADIS0): 模拟信号输入选择

- 000 = ADIN0/P50
- 001 = ADIN1/P51
- 010 = ADIN2/P52
- 011 = ADIN3/P53
- 100 = ADIN4/P54
- 101 = ADIN5/P55
- 110 = ADIN6/P56
- 111 = 未使用

当ADIF和ADRUN同时为低时, 这些位才能被改变（见章节6.1.16，RF中断状态寄存器）

6.1.11 RA (ADOC: ADC 补偿校准寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CALI	SIGN	VOF[2]	VOF[1]	VOF[0]	"0"	"0"	"0"

Bit 7 (CALI): ADC 偏移量校准使能位
0: 禁止校准
1: 使能校准

Bit 6 (SIGN): 补偿电压极性
0: 负电压
1: 正电压

Bit 5 ~ Bit 3 (VOF[2] ~ VOF[0]): 补偿电压位

VOF[2]	VOF[1]	VOF[0]	EM78P143
0	0	0	0 LSB
0	0	1	1 LSB
0	1	0	2 LSB
0	1	1	3 LSB
1	0	0	4 LSB
1	0	1	5 LSB
1	1	0	6 LSB
1	1	1	7 LSB

Bit 2 ~ Bit 0: 未使用，为‘0’

6.1.12 RB (ADDATAH: ADC转换值)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2

Bits 7~0 (ADD9~ADD2): 10 位精度 ADC 的 AD 高 8 位缓存器。

当 AD 转换完成时，结果保存至 ADDATAH。然后 ADRUN 清零，ADIF (参见章节 6.1.16) 置位。

RB 只读。

6.1.13 RC (ADDATAL: ADC 转换值)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
“0”	“0”	“0”	“0”	“0”	“0”	ADD1	ADD0

Bits 1~0 (ADD1~ADD0): 10 位精度 ADC 的 AD 低 2 位缓存器。

当 AD 转换完成时，结果保存至 ADDATAL。然后 ADRUN 清零，ADIF (参见章节 6.1.16) 置位。

6.1.14 RD (TBLP: TBRD指令的查表指针寄存器的LSB)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RBit7	RBit 6	RBit5	RBit4	RBit3	Bit2	RBit1	RBit0

Bits 7~0: 查表指针地址的 LSB Bits 7~0

6.1.15 RE (TBHP: TBRD指令的查表指针寄存器的MSB)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MLB	“0”	“0”	“0”	“0”	RBit10	RBit9	RBit8

Bit 7 (MLB): 取高位或者低位机器码。

0: LSB (默认)

1: MSB

Bits 6 ~ 3: 未使用，为‘0’。

Bits 2 ~ 0: 查表指针地址的高位 MSB Bits 10~8.

6.1.16 RF (中断状态寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMPIF	"0"	PWM2IF	PWM1IF	ADIF	EXIF	ICIF	TCIF

注意

- “1”表示有中断请求; “0”没有中断发生.
- RF 可由指令清除但是不能写.
- IOCF0 为中断屏蔽寄存器.
- RF 为RF 和 IOCF0逻辑与的结果.

Bit 7 (CMPIF): 比较器中断标志位。当比较器输出改变时置位，由软件清零。

Bit 6: 未使用，为‘0’

Bit 5 (PWM2IF): PWM2 (脉宽调制)中断标志位。当所设定的持续时间结束时置位，由软件清零。

Bit 4 (PWM1IF): PWM1 (脉宽调制)中断标志位。当所设定的持续时间结束时置位，由软件清零。

Bit 3 (ADIF): 模数转换中断标志位。AD 转换完成时置位。由软件清零。

Bit 2 (EXIF): 外部中断标志位。/INT 引脚输入信号的下降沿置位。由软件清零。

Bit 1 (ICIF): Port 5 输入状态改变中断标志位。Port 5 输入状态改变时置位。由软件清零。

Bit 0 (TCIF): TCC 溢出中断标志位。TCC 溢出时置位。由软件清零。

6.1.17 R10 ~ R3F

8 位通用寄存器。

6.2 特殊目的寄存器

6.2.1 A (累加器)

内部数据传输或指令操作数通常暂时存储在 A 中，A 不是一个可寻址寄存器。

6.2.2 CONT (控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE	INT	TS	TE	PSTE	PST2	PST1	PST0

Bit 7 (INTE): INT 中断信号边沿选择位

0: INT 引脚输入信号上升沿发生中断

1: INT 引脚输入信号下降沿发生中断

Bit 6 (INT): 中断使能位

0: 被 DISI 或硬件中断屏蔽

1: 被 ENI/RETI 指令使能

只读.

Bit 5 (TS): TCC 信号源选择位

0 内部指令周期时钟. 如果 P55 作为 I/O 引脚, TS 必须置 0.

1: TCC 引脚的跳变信号

注意

- P55/AD5/CO/TCC引脚的 TCC, CO 和 AD5 功能不能同时使用.
- P55/AD5/CO/TCC 引脚的优先级:

P55/AD5/CO/TCC优先级			
最高	高	中	低
TCC	CO	AD5	P55

Bit 4 (TE): TCC 信号边沿选择位

0: TCC 引脚信号由低变到高时增 1

1: TCC 引脚信号由高变到低时增 1

Bit 3 (PSTE): TCC 预分比使能位

0: 禁止预分频器. TCC 预分比 1:1.

1: 使能预分频器. TCC 预分比由 Bit 2 ~ Bit 0 设定.

Bit 2 ~ Bit 0 (PST2 ~ PST0): TCC 预分比选择位

PST2	PST1	PST0	TCC 比例
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

注: Tcc 溢出周期 $[1/F_{osc} \times \text{预分比} \times (256 - \text{Tcc cnt}) \times 1 \text{ (CLK=2)}]$

Tcc 溢出周期 $[1/F_{osc} \times \text{预分比} \times (256 - \text{Tcc cnt}) \times 1 \text{ (CLK=4)}]$

6.2.3 IOC50 (I/O端口控制寄存器)

"0"相关 I/O 引脚置为输出

"1"相关 I/O 引脚置为输入

6.2.4 IOC60 (上拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
"0"	/PH56	/PH55	/PH54	/PH53	/PH52	/PH51	/PH50

寄存器 IOC60 可读可写.

- Bit 7:** 未使用，为“0”
- Bit 6 (/PH56):** P56 引脚上拉功能的控制位。
0: 使能内部上拉功能
1: 禁止内部上拉功能
- Bit 5 (/PH55):** P55 引脚上拉功能的控制位.
- Bit 4 (/PH54):** P54 引脚上拉功能的控制位.
- Bit 3 (/PH53):** P53 引脚上拉功能的控制位.
- Bit 2 (/PH52):** P52 引脚上拉功能的控制位.
- Bit 1 (/PH51):** P51 引脚上拉功能的控制位.
- Bit 0 (/PH50):** P50 引脚上拉功能的控制位.

6.2.5 IOC70 (下拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
"0"	/PD56	/PD55	/PD54	/PD53	/PD52	/PD51	/PD50

寄存器 IOC70 可读可写

- Bit 7:** 未使用，为“0”
- Bit 6 (/PD56):** P56 引脚下拉功能的控制位。
0: 使能内部下拉功能
1: 禁止内部下拉功能
- Bit 5 (/PD55):** P55 引脚下拉功能的控制位.
- Bit 4 (/PD54):** P54 引脚下拉功能的控制位.
- Bit 3 (/PD53):** P53 引脚下拉功能的控制位.
- Bit 2 (/PD52):** P52 引脚下拉功能的控制位.
- Bit 1 (/PD51):** P51 引脚下拉功能的控制位.
- Bit 0 (/PD50):** P50 引脚下拉功能的控制位.

6.2.6 IOC80 (漏极开路控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
"0"	/OD56	/OD55	/OD54	/OD53	/OD52	/OD51	/OD50

寄存器IOC80可读可写。

- Bit 7:** 未使用，为“0”
- Bit 6 (/OD56):** P56引脚漏极开路功能的控制位。
0: 使能漏极开路功能
1: 禁止漏极开路功能
- Bit 5 (/OD55):** P55引脚漏极开路功能的控制位。
- Bit 4 (/OD54):** P54引脚漏极开路功能的控制位。
- Bit 3 (/OD53):** P53引脚漏极开路功能的控制位。
- Bit 2 (/OD52):** P52引脚漏极开路功能的控制位。
- Bit 1 (/OD51):** P51引脚漏极开路功能的控制位。
- Bit 0 (/OD50):** P50引脚漏极开路功能的控制位。

6.2.7 IOC90 (CMPCON: 比较器控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
/IVRE	VRE3	VRE2	VRE1	VRE0	CPOUT	COS1	COS0

- Bit 7 (/IVRE):** 比较器内部参考电压使能位 (0: 默认)。
 当 /IVRE 位置 0, CIN- 引脚为 I/O 引脚。

Bits 6~3: 内部参考电压控制位

VRE3	VRE2	VRE1	VRE0	参考电压值
0	0	0	0	0
0	0	0	1	$VDD \times 1/15$
0	0	1	0	$VDD \times 2/15$
0	0	1	1	$VDD \times 3/15$
0	1	0	0	$VDD \times 4/15$
0	1	0	1	$VDD \times 5/15$
0	1	1	0	$VDD \times 6/15$
0	1	1	1	$VDD \times 7/15$
1	0	0	0	$VDD \times 8/15$
1	0	0	1	$VDD \times 9/15$
1	0	1	0	$VDD \times 10/15$
1	0	1	1	$VDD \times 11/15$
1	1	0	0	$VDD \times 12/15$
1	1	0	1	$VDD \times 13/15$
1	1	1	0	$VDD \times 14/15$
1	1	1	1	VDD (默认)

Bit 2 (CPOUT): 比较器输出结果 (寄存器只读)

Bit 1 ~ Bit 0 (COS1 ~ COS0): 比较器选择位

COS1	COS0	功能描述
0	0	比较器未使用. P55 功能为 I/O 引脚.
0	1	使用比较器, P55 功能为 I/O 引脚
1	0	使用比较器, P55 功能为比较器的输出引脚(CO)
1	1	未使用

注意

- P55/AD5/CO/TCC引脚的TCC, CO 和AD5功能不能同时使能.
- P55/AD5/CO/TCC引脚的优先级如下s:

P55/AD5/CO/TCC 优先级			
最高	高	中	低
TCC	CO	AD5	P55

P53/AD3/CIN+引脚的 CIN+, AD3 功能不能同时使能.

- P53/AD3/CIN+ 引脚的优先级如下:

P53/AD3/C+ 优先级		
高	中	低
CIN+	AD3	P53

6.2.8 IOCA0 ~ IOCC0 : 保留

6.2.9 IOCD0 (选项控制位1)

Bit	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EM78P143	'0'	'0'	'0'	'0'	'0'	'0'	'0'	'0'
ICE143	'0'	'0'	'0'	C4	C3	C2	C1	C0

寄存器 IOCD0 可读可写.

Bits 7~5: 未使用, 为“0”.

Bits 4~0 (C4~C0): IRC 振荡模式下的 IRC 校准位.

C4	C3	C2	C1	C0	频率 (MHz)
0	0	0	0	0	F*(1-48%)
0	0	0	0	1	F*(1-45%)
0	0	0	1	0	F*(1-42%)
0	0	0	1	1	F*(1-39%)
0	0	1	0	0	F*(1-36%)
0	0	1	0	1	F*(1-33%)
0	0	1	1	0	F*(1-30%)
0	0	1	1	1	F*(1-27%)
0	1	0	0	0	F*(1-24%)
0	1	0	0	1	F*(1-21%)
0	1	0	1	0	F*(1-18%)
0	1	0	1	1	F*(1-15%)
0	1	1	0	0	F*(1-12%)
0	1	1	0	1	F*(1-9%)
0	1	1	1	0	F*(1-6%)
0	1	1	1	1	F*(1-3%)
1	1	1	1	1	F (默认)
1	1	1	1	0	F*(1+3%)
1	1	1	0	1	F*(1+6%)
1	1	1	0	0	F*(1+9%)
1	1	0	1	1	F*(1+12%)
1	1	0	1	0	F*(1+15%)
1	1	0	0	1	F*(1+18%)
1	1	0	0	0	F*(1+21%)
1	0	1	1	1	F*(1+24%)
1	0	1	1	0	F*(1+27%)
1	0	1	0	1	F*(1+30%)
1	0	1	0	0	F*(1+33%)
1	0	0	1	1	F*(1+36%)
1	0	0	1	0	F*(1+39%)
1	0	0	0	1	F*(1+42%)
1	0	0	0	0	F*(1+45%)

注: 1. 以上频率值为理论值, 是从高频模式中的一个例子得出的结果, 因此, 仅作为参考, 精确值取决于实际的测量.

2. 类似的推断方式也适用于低频模式.

6.2.10 IOCE0 (选项控制位2)

Bit	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EM78P143	'0'	'0'	'0'	'0'	'0'	'0'	'0'	'0'
ICE143	"0"	"0"	LVR1	LVR0	RCM1	RCM0	ADBS	WDTPS

寄存器 IOCE0 可读可写。

Bits 7~6: 未使用，为'0'

Bits 5~4 (LVR1 ~ LVR0): 低电压复位使能位。

LVR1, L VR0	VDD 复位电压	VDD Release电压
11	NA (上电复位)	
10	2.7V	2.9V
01	3.5V	3.7V
00	4.0V	4.2V

Bit 3 和 Bit 2 (RCM1 和 RCM0): IRC 模式选择位

RCM 1	RCM 0	频率 (MHz)
1	1	4 (默认)
1	0	16
0	1	8
0	0	455kHz

Bit 1(ADBS): AD 位选择寄存器, 为 0.

Bit 0 (WDTPS): WDT 溢出时间选择位

WDT 时间	看门狗定时器*
1	18 ms (默认)
0	4.5 ms

*理论值，仅作为参考

6.2.11 IOCF0 (中断屏蔽寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMPIE	"0"	PWM2IE	PWM1IE	ADIE	EXIE	ICIE	TCIE

注意

- 寄存器 IOCF0 可读可写。
- 单独中断使能可通过寄存器IOCF0将其相关控制位置"1."
- 全局中断由ENI指令使能，DISI指令禁止。参见章节6.6 (中断) 图 6-6b (中断输入电路)。

Bit 7 (CMPIE): CMPIF 中断使能位

0: 禁止 CMPIF 中断

1: 使能 CMPIF 中断

当比较器输出状态改变进入中断向量或执行下一条指令时，CMPIE 必须置位。

Bit 6: 未使用，为'0'

Bit 5 (PWM2IE): PWM2IF 中断使能位

0: 禁止 PWM2 中断

1: 使能 PWM2 中断

Bit 4 (PWM1IE): PWM1IF 中断使能位

0: 禁止 PWM1 中断

1: 使能 PWM1 中断

Bit 3 (ADIE): ADIF 中断使能位

0: 禁止 ADIF 中断

1: 使能 ADIF 中断

当 ADC 完成进入中断向量或执行下一条指令时，ADIE 必须置位

Bit 2 (EXIE): EXIF 中断使能位

0: 禁止 EXIF 中断

1: 使能 EXIF 中断

Bit 1 (ICIE): ICIF 中断使能位

0: 禁止 ICIF 中断

1: 使能 ICIF 中断

如果 Port 5 端口输入状态改变中断进入其中断向量或执行下一条指令，ICIE 必须置位。

Bit 0 (TCIE): TCIF 中断使能位。

0: 禁止 TCIF 中断

1: 使能 TCIF 中断

6.2.12 IOC51 (PWMCON: PWM控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
"0"	"0"	"0"	"0"	"0"	PWMCAS	PWM2E	PWM1E

Bits 7~3: 未使用，为'0'

Bit 2 (PWMCAS): PWM 级联模式

0: 2 个独立的 8-位 PWM 功能 (默认值)。

1: 16 位 PWM 模式 (由 2 个 8 位 PWM 级联)

Bit 1 (PWM2E): PWM2 使能位

0: PWM2 关闭 (默认值), 其相关引脚作为 P56 功能

1: PWM2 开启, 其相关引脚自动设为输出。

Bit 0 (PWM1E): PWM1 使能位

0: PWM1 关闭(默认值), 其相关引脚为 P51 功能

1: PWM1 开启, 其相关引脚自动设为输出.

注意

P56/AD6/PWM2 引脚不能同时作为 PWM2 和 AD6 功能.
P56/AD6/PWM 优先级如下:

P56/AD6/PWM2		
高	中	低
PWM2	AD6	P56

P51/AD1/PWM1/ OSCO 引脚不能同时作为 AD1, PWM1 和 OSCO 功能.
The P51/AD1 /PWM1/OSCO 优先级如下:

P51/AD1/PWM1/OSCO 优先级			
最高	高	中	低
OSCO	PWM1	AD1	P51

6.2.13 IOC61 (TMRCON: 定时器控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2EN	T1EN	T2P2	T2P1	T2P0	T1P2	T1P1	T1P0

Bit 7 (T2EN): TMR2 使能位

0: TMR2 禁止 (默认值)

1: TMR2 使能

Bit 6 (T1EN): TMR1 使能位

0: TMR1 禁止 (默认值)

1: TMR1 使能

Bit 5 ~ Bit 3 (T2P2 ~ T2P0): TMR2 预分频比选择位

T2P2	T2P1	T2P0	预分比
0	0	0	1:1 (默认)
0	0	1	1:2
0	1	0	1:4
0	1	1	1:8
1	0	0	1:16
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit 2 ~ Bit 0 (T1P2 ~ T1P0):TMR1 预分频比选择位

T1P2	T1P1	T1P0	预分比
0	0	0	1:1 (默认)
0	0	1	1:2
0	1	0	1:4
0	1	1	1:8
1	0	0	1:16
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

6.2.14 IOC71 (PRD1: PWM1 工作周期)

寄存器 IOC71 的内容为 PWM1 的工作周期. PWM1 的频率为时间周期的倒数.

6.2.15 IOC81 (PRD2: PWM2 工作周期)

寄存器 IOC81 的内容为 PWM1 的工作周期. PWM2 的频率为时间周期的倒数.

6.2.16 IOC91 (DT1: PWM1 占空比)

IOC91 的内容决定 PWM1 保持输出高电平的时间.

6.2.17 IOCA1 (DT2:PWM2 占空比)

IOCA1 的内容决定 PWM2 保持输出高电平的时间.

6.2.18 IOCB1 (TMR1: PWM1 定时器)

IOCB1 只读.

6.2.19 IOCC1 (TMR2: PWM2 定时器)

IOCC1 只读.

6.2.20 IOCD1 (唤醒控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
"0"	"0"	"0"	"0"	"0"	ADWE	CMPWE	ICWE

Bits 7~3: 未使用，为“0”

Bit 2 (ADWE): ADC 唤醒使能位

0: 禁止 ADC 唤醒

1: 使能 ADC 唤醒

当 ADC 转换完成后进入中断向量或从休眠模式唤醒，ADWE 标志位必须使能.

Bit 1 (CMPWE): 比较器唤醒使能位

0: 禁止比较器唤醒

1: 使能比较器唤醒

当比较器输出状态改变进入中断向量或从休眠模式唤醒，CMPWE 标志位必须使能。

Bit 0 (ICWE): Port 5 输入状态改变唤醒使能位

0: 禁止 Port 5 输入状态改变唤醒

1: 使能 Port 5 输入状态改变唤醒

当 Port 5 输入状态改变进入中断向量或从休眠模式唤醒，ICWE 标志位必须使能。

6.2.21 IOCE1 (WDT 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTE	"0"	"0"	"0"	PSWE	PSW2	PSW1	PSW0

Bit 7 (WDTE): WDT 控制位

0: 禁止 WDT

1: 使能 WDT

WDTE 可读可写

Bits 6~4: 未使用，为“0”

注意

P52/AD2/INT 引脚不能同时作为INT 和 AD2功能。
P52/AD2/INT 优先级如下:

P52/AD2/INT		
高	中	低
INT	AD2	P52

Bit 3 (PSWE): WDT 预分频器使能位

0: 禁止预分频. WDT 预分比 1:1

1: 使能预分频器. WDT 预分比由 Bit 2~Bit 0 设定

Bit 2 ~ Bit 0 (PSW2 ~ PSW0): WDT 预分比选择位.

PSW2	PSW1	PSW0	WDT预分比
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

6.2.22 IOCF1 : 保留

6.3 TCC/WDT 和预分频器

TCC/WDT 寄存器电路

程序页	地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	CONT	INTE	INT	TS	TE	PSTE	PST2	PST1	PST0
R_PAGE	0X0F	ISR	CMPIF	"0"	PWM2IF	PWM1IF	ADIF	EXIF	ICIF	TCIF
IOCF0	0X0F	IMR	CMPIE	"0"	PWM2IE	PWM1IE	ADIE	EXIE	ICIE	TCIE
IOCE1	0X0E	WDTCR	WDTE	"0"	"0"	"0"	PSWE	PSW2	PSW1	PSW0

微控制器内部有两个预分频器，分别由 2 个 8 位的计数器构成，并且分别分配给 TCC 和 WDT 控制寄存器 CONT 的位 PST0~PST2 用来设定 TCC 的预分频比 Bank 1 IOCE 寄存器的位 PSW0~PSW2 用来设定 WDT 的预分频比。在 TCC 模式下，每次向 TCC 写入值都会清零其预分频器。在 WDT 模式下，看门狗定时器和预分频器由“SLEP”或者“WDTC”指令清零，下图描绘了 WDT/TCC 结构图。

TCC (R1)是一个 8 位定时计数器，其时钟源可以采用内部或外部时钟输入 (可编程选择 TCC 引脚信号边沿)。如果 TCC 时钟源来自内部时钟，TCC 寄存器在每个指令周期时钟后加 1 (未经过预分频)。根据图 6-3, 如果 TCC 时钟源来自外部时钟输入，TCC 寄存器在 TCC 引脚的上升沿或下降沿加 1。TCC 引脚输入信号的高低电平时间必须大于 1 个时钟周期。

注意

进入睡眠模式时，TCC 将停止工作，但是当 AD 转换没有结束，如果寄存器 IOCD1 的 ADWE 位使能，即使执行 SLEP 指令，TCC 仍然继续工作。

WDT 定时器是一个自动运行的片上 RC 振荡器。仅是关闭振荡器驱动器 WDT 仍然继续工作(例如休眠模式)。正常模式或者休眠模式下，WDT (如果使能)溢出将使单片机复位。正常模式下，WDT 可随时由软件禁止或使能。参见 IOCE 的 WDTE 位(章节 6.2.23 WDT 控制寄存器)。未使用预分频，WDT 溢出时间约 18ms¹ 或 4.5ms²。

¹ VDD=5V, 启动时间周期 = 16.5ms ± 30%.

VDD=3V, 启动时间周期 = 18ms ± 30%.

² VDD=5V, 启动时间周期 = 4.2ms ± 30%.

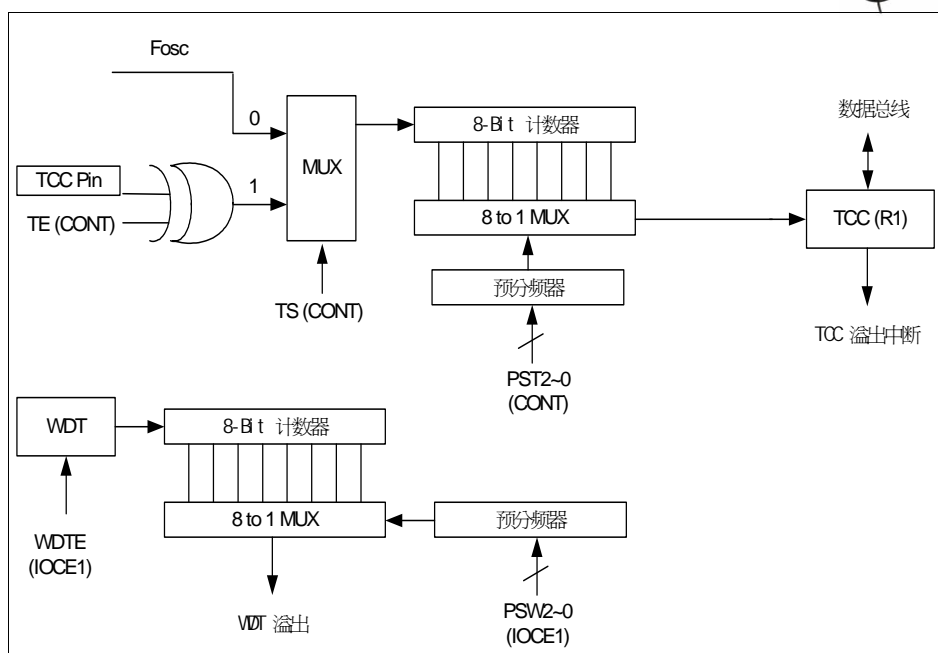


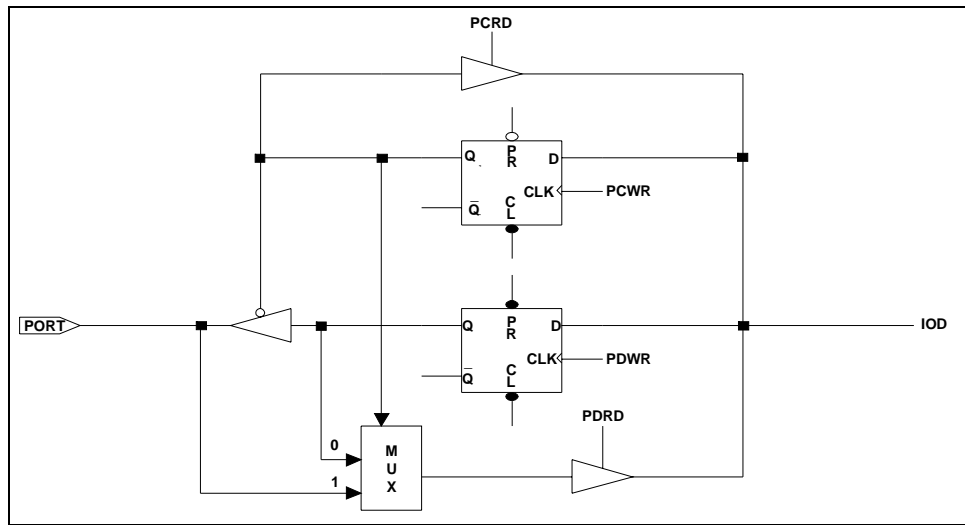
图 6-3 TCC 和 WDT 结构框图

6.4 I/O 端口

TCC/WDT 寄存器电路

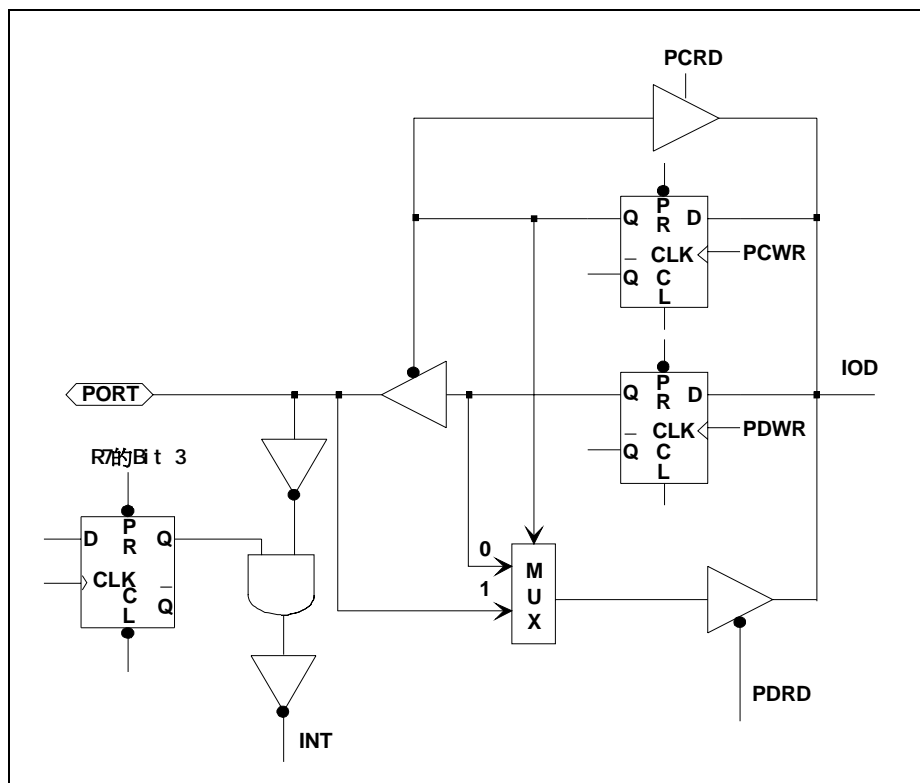
程序页	地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IOC50	0x05	IOCR	IOC7	IOC6	IOC5	IOC4	IOC3	IOC2	IOC1	IOC0
IOC60	0x06	PHCR	"0"	/PH56	/PH55	/PH54	/PH53	/PH52	/PH51	/PH50
IOC70	0x07	PDCR	"0"	/PD56	/PD55	/PD54	/PD53	/PD52	/PD51	/PD50
IOC80	0x08	ODCR	"0"	/OD56	/OD55	/OD54	/OD53	/OD52	/OD51	/OD50

Port 5 是一个双向的 I/O 端口，可以分别通过寄存器 IOC60, IOC70, 和 IOC80 设置内部上拉、下拉和漏极开路。Port 5 具有输入状态改变中断或唤醒功能。由寄存器 IOC5 控制每个 I/O 引脚的输入输出。I/O 寄存器和 I/O 控制寄存器可读可写。Port 5 的 I/O 接口电路 分别由图 6-4a, 6-4b, 和 6-4c (见下一页)说明。Port 5 输入状态改变中断/唤醒如图 6-4d 所示。



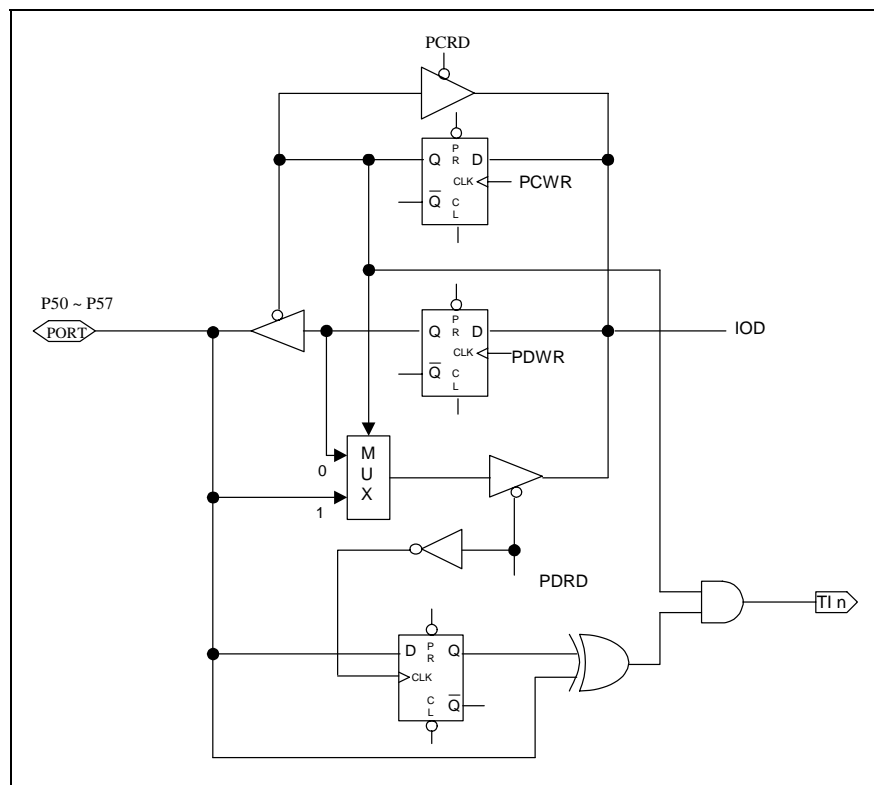
注: 上拉和漏极开路没有在图中显示.

图 6-4a Port 5 I/O 端口和I/O 控制寄存器电路



注: 上拉和漏极开路没有在图中显示.

图 6-4b P52 (/INT) I/O 端口和I/O 控制寄存器电路



注:上拉、下拉和漏极开路没有在图中显示。

图 6-4c Port 5 I/O 端口和I/O 控制寄存器电路

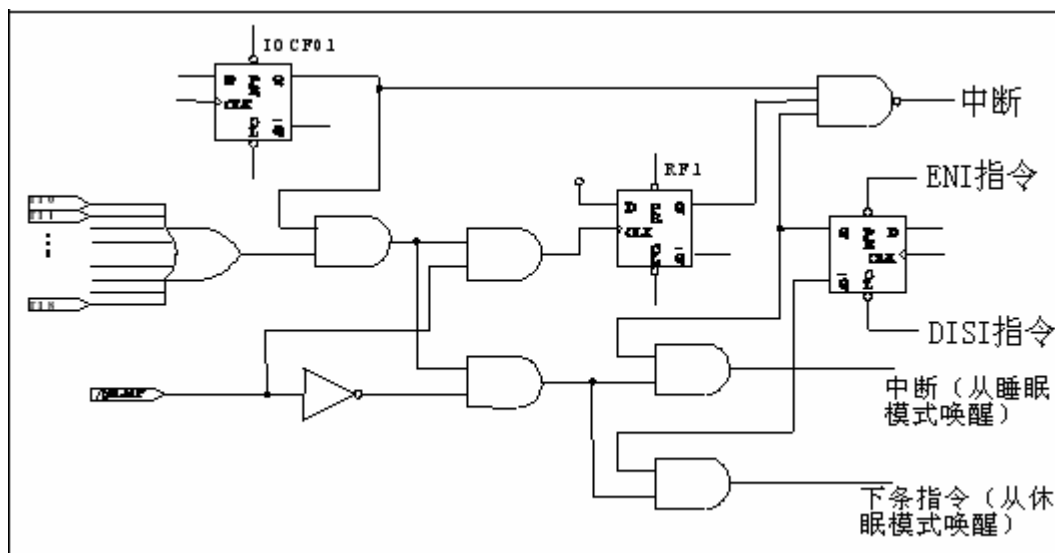


图 6-4d Port 5输入状态改变中断/唤醒

6.4.1 Port 5 输入状态改变唤醒/中断功能用法

(1) 唤醒	(2) 唤醒和中断
(a) 休眠之前	(a) 休眠之前
1. 禁止 WDT	1. 禁止 WDT
2. 读 Port 5 (MOV R5,R5)	2. 读 Port 5 (MOV R5,R5)
3. 执行 "ENI" 或 "DISI"	3. 执行 "ENI" 或 "DISI"
4. 使能唤醒标志位 (置寄存器 Bank1 IOCD 的 ICWE =1)	4. 使能唤醒标志位 t (置寄存器 Bank1 IOCD 的 ICWE =1)
5. 执行 "SLEP"指令	5. 使能中断 (置寄存器 IOCF0 的 ICIE =1)
(b) 唤醒后	6. 执行 "SLEP"指令
→ 下一条指令	(b) 唤醒后
	1. 如果已经执行 "ENI" → 进入中断向量 (006H)
	2. 如果已经执行 "DISI" → 进入下一条指令
(3) 中断	
(a) Port 5 输入状态改变之前	
1. 读 Port 5 (MOV R5,R5)	
2. 执行 "ENI" 或 "DISI"	
3. 使能中断 (置寄存器 IOCF0 的 ICIE =1)	
(b) Port 5 输入状态改变之后 (中断)	
1. 如果已经执行 "ENI" → 进入中断向量 (006H)	
2. 如果已经执行 "DISI" → 下一条指令	

6.5 复位和唤醒

6.5.1 复位和唤醒操作

复位可由以下事件之一引发：

1. 上电复位
2. /RESET 引脚拉"低"
3. WDT 溢出 (如果使能)

当复位被检测后，复位条件必须保持约 18ms^3 (除 LXT 模式外)。LXT2 模式下, 复位时间约 2~3s. WDT 溢出时间可选择 18ms^3 或 4.5ms^4 。一旦复位产生, 以下操作将被执行：(其实地址 000h):

振荡器继续工作或者被启动 (如果在休眠模式下)

³ VDD=5V, WDT 溢出时间周期 = $16.5\text{ms} \pm 30\%$.
VDD=3V, WDT 溢出时间周期 = $18\text{ms} \pm 30\%$.

⁴ VDD=5V, WDT 溢出时间周期 = $4.2\text{ms} \pm 30\%$.
VDD=3V, WDT 溢出时间周期 = $4.5\text{ms} \pm 30\%$.

程序计数器 R2 置 "0"

所有 I/O 引脚被设为输入模式 (高阻态)

看门狗定时器和预分频器清零

上电后, 寄存器 R3 和 R4 的高两位被清零

寄存器 CONT 的所有位清零除 Bit 6(INT 标志位).

寄存器 IOC60 所有位置 "1"

寄存器 IOC70 所有位置"1"

寄存器 IOC80 所有位置"1"

RF IOCF0 寄存器清零

执行“SLEP”将进入休眠模式. 此时, 振荡器, TCC, 定时器 1 和定时器 2 停止. WDT (如果使能) 清零但继续工作.

控制器可由以下事件唤醒:

事件 1 /RESET 引脚输入复位信号

事件 2 WDT 溢出 (如果使能)

事件 3 Port 5 输入状态改变 (如果 ICWE 标志位使能)

事件 4 比较器输出状态改变 (如果 CMPWE 标志位使能)

事件 5 AD 转换完成 (如果 ADWE 标志位使能)

事件 6 低电压检测 (如果 LVDWE 标志位使能)

在前两种情况下将引起 IC 复位。根据 R3 的 T 和 P 标志位可以判断复位源 (唤醒)。情况 3, 4, 5 和 6 唤醒后继续执行程序还是进入中断由全局中断 (执行 ENI 或者 DISI) 是否使能决定。如果在休眠之前执行 ENI, 则唤醒后进入中断向量地址 0x06 (事件 3)、0x0F (事件 4)、0x0C (事件 5) 和 0x18 (事件 6) 执行程序。如果休眠之前执行 DISI, 唤醒后执行 SLEP 的下一条指令。

进入休眠模式前, 事件 2 和事件 6 只能有其中一件被使能, 即:

情况 [a] 如果 SLEP 前 WDT 被使能, 寄存器 Bank1 IOCD 的所有标志位被禁止. 因此, 单片机只能由事件 1 或事件 2 唤醒. 更多细节参见中断章节 6.6.

情况 [b] 如果 Port 5 输入状态改变用来唤醒单片机, 并且寄存器 Bank1 IOCD 的 ICWE 标志位在 SLEP 之前使能, WDT 必须禁止. 因此, 单片机只能由事件 3 唤醒. 唤醒时间由振荡器模式决定。

IRC 模式下, 唤醒时间为 32 个时钟周期。

晶体振荡器模式, 唤醒时间为 1.5ms (XT, 4 MHz).

低频晶体振荡模式下, 唤醒时间为 2s~3s.

情况 [c] 如果采用比较器输出状态改变唤醒，并且寄存器 Bank1 IOCD 的 CMPWE 标志位在 SLEP 前使能，WDT 必须由软件禁止，因此，单片机只能由事件 4 唤醒。

唤醒时间由振荡器模式决定。

IRC 模式下，唤醒时间为 32 个时钟周期。

晶体振荡器模式，唤醒时间为 1.5ms (XT, 4 MHz)。

低频晶体振荡模式下，唤醒时间为 2s~3s。

情况 [d] 如果采用 AD 转换完成唤醒并且寄存器 Bank1 IOCD 的 ADWE 标志位在 SLEP 前使能，WDT 必须由软件禁止。因此，单片机只能由事件 5 唤醒。唤醒时间为 15 TAD (ADC 时钟周期)。

情况 [e] 如果采用低电压检测唤醒并且寄存器 R6 的 LVDWE 标志位在 SLEP 前使能，WDT 必须软件禁止。因此，单片机只能由事件 6 唤醒。

如果采用 Port 5 输入状态改变唤醒单片机（如之前的事件【b】），以下指令必须在 SLEP 之前执行：

```

BS          R3,6          ;选择片段1
MOV         A,@00001110b ;选择WDT 预分频器和禁止WDT
IOW        IOCE1
WDTC
MOV         R5,R5        ;清除WDT 预分频器
ENI(或DIS) ;读Port 5
MOV         A,@00000XX1b ;使能(或禁止) 全局中断
IOW        IOCD1        ;使能Port 5 输入状态改变唤醒
BC          R3,6          ;选择片段0
MOV         A,@00000x1xb ;使能Port 5 输入状态改变中断
IOW        IOCF0
SLEP
;休眠

```

同样的,如果采用比较器中断唤醒单片机（如之前的事件[c]），以下指令必须在 SLEP 之前执行：

```

BC          R3,6          ;选择片段0
MOV         A,@xxxxxx10b ;选择比较器并且P55作为CO引脚
IOW        IOC90
BS          R3,6          ;选择片段1
MOV         A,@00001110b ;选择WDT 预分频器和禁止WDT
IOW        IOCE1
WDTC
ENI(或DIS) ;清除WDT 和预分频器
MOV         A,@00000X1Xb ;使能(禁止) 全局中断
IOW        IOCD1        ;使能比较器输出状态改变唤醒位
BC          R3,6          ;选择片段0
MOV         A,@10XXXXXXXb ;使能比较器输出状态改变中断
IOW        IOCF0
SLEP
;睡眠

```

6.5.1.1 唤醒和中断模式操作总结

唤醒和中断模式下的所有类型总结如下：

唤醒信号	休眠模式	空闲模式	省电模式	正常模式
外部中断	×	唤醒 + 中断 (如果中断使能) + 下一条指令	中断 (如果中断使能) 或下一条指令	中断 (如果中断使能) 或下一条指令
Port 5 引脚状态变化	如果使能 ICWE 标志位唤醒 +中断 (如果中断使能) + 下一条指令	如果使能 ICWE 标志位唤醒 +中断 (如果中断使能) + 下一条指令	中断 (如果中断使能) 或下一条指令	中断 (如果中断使能) 或下一条指令
TCC 溢出中断	×	唤醒 + 中断(如果中断使能) + 下一条指令	中断 (如果中断使能) 或下一条指令	中断 (如果中断使能) 或下一条指令
AD 转换完成中断	如果使能 ADWE 标志位唤醒 +中断 (如果中断使能) + 下一条指令 Fs & Fm 不停止	如果使能 ADWE 标志位唤醒 +中断 (如果中断使能) + 下一条指令 Fs & Fm 不停止	×	中断 (如果中断使能) 或下一条指令
比较器中断	如果使能 CMPWE 标志位唤醒 +中断 (如果中断使能) + 下一条指令	如果使能 CMPWE 标志位唤醒 +中断 (如果中断使能) + 下一条指令	中断 (如果中断使能) 或下一条指令	中断 (如果中断使能) 或下一条指令
PWMX (PWM1 和 PWM2) (当定时器 X 与 PRDX 匹配)	×	唤醒 + 中断 (如果中断使能) + 下一条指令	中断 (如果中断使能) 或下一条指令	中断 (如果中断使能) 或下一条指令
低电压检测中断	如果使能 LVDWE 标志位唤醒 +中断 (如果中断使能) + 下一条指令	如果使能 LVDWE 标志位唤醒 +中断 (如果中断使能) + 下一条指令	中断 (如果中断使能) 或下一条指令	中断 (如果中断使能) 或下一条指令
WDT 溢出	复位	复位	复位	复位
低电压复位	复位	复位	复位	复位

唤醒以后:

1. 如果使能中断 → 中断+ 下一条指令
2. 如果禁止中断 → 下一条指令

6.5.1.2 唤醒和中断模式操作总结

信号	休眠模式	正常模式
INT 引脚	NA	DISI + IOCF0 (EXIE) Bit 2 = 1
		下一条指令+ 置 RF (EXIF) = 1
		ENI + IOCF0 (EXIE) Bit 2 = 1
		中断向量 (0x03)+ 置 RF (EXIF)=1
Port 5 输入状态变化	IOCD1 (ICWE) Bit1=0, IOCF0 (ICIE) Bit1=0	IOCF0 (ICIE) Bit 1 = 0
	振荡器, TCC 和 TIMERX 停止. Port 5 输入状态改变唤醒无效.	Port 5 输入状态改变中断无效.
	IOCD1 (ICWE) Bit1=0, IOCF0 (ICIE) Bit1=1	NA
	置 RF (ICIF) = 1, 振荡器, TCC 和 TIMERX 停止. Port 5 输入状态改变唤醒无效..	NA
	IOCD1 (ICWE) Bit 0 = 1, IOCF0 (ICIE) Bit 1 = 0	NA
	唤醒+ 下一条指令 振荡器, TCC 和 TIMERX 停止.	NA
	IOCD1 (ICWE) Bit 0 = 1, DISI + IOCF0 (ICIE) Bit 1 = 1	DISI + IOCF0 (ICIE) Bit 1 = 1
	唤醒+下一条指令+ 置 RF (ICIF) = 1 振荡器, TCC 和 TIMERX 停止.	下一条指令+ 置 RF (ICIF) = 1
	IOCD1 (ICWE) Bit 0=1, ENI + IOCF0 (ICIE) Bit 1 = 1	ENI + IOCF0 (ICIE) Bit 1 = 1
唤醒+中断向量 (0x06)+ 置 RF (ICIF) = 1 振荡器, TCC 和 TIMERX 停止.	中断向量 (0x06)+ 置 RF (ICIF)=1	
TCC 溢出	NA	DISI + IOCF0 (TCIE) Bit 0=1
		下一条指令 + 置 RF (TCIF)=1
		ENI + IOCF0 (TCIE) Bit 0=1
		中断向量 (009H) + 置 RF (TCIF)=1
AD 转换	IOCD1 (ADWE) Bit 2=0, IOCF0 (ADIE) Bit 3 = 0	IOCF0 (ADIE) Bit 3=0
	清除 R9 (ADRUN) = 0, ADC 停止, AD 转换唤醒无效. 振荡器, TCC 和 TIMERX 停止.	AD 转换中断无效
	IOCD1 (ADWE) Bit 2 = 0, IOCF0 (ADIE) Bit 3 = 1	NA
	置 RF (ADIF) = 1, R9 (ADRUN) = 0, ADC 停止, AD 转换唤醒无效 振荡器, TCC 和 TIMERX 停止.	NA
	IOCD1 (ADWE) Bit 2 = 1, IOCF0 (ADIE) Bit 3 = 0	NA
	唤醒+ 下一条指令, 振荡器, TCC 和 TIMERX 继续工作. AD 转换完成时唤醒.	NA
	IOCD1 (ADWE) Bit 2 = 1, DISI + IOCF0 (ADIE) Bit 3 = 1	DISI + IOCF0 (ADIE) Bit 3=1
	唤醒+ 下一条指令+ RF (ADIF) = 1, 振荡器, TCC 和 TIMERX 继续工作. AD 转换完成时唤醒.	下一条指令 + RF (ADIF)=1
IOCD1 (ADWE) Bit 2 = 1, ENI + IOCF0 (ADIE) Bit 3 = 1	ENI + IOCF0 (ADIE) Bit 3=1	
唤醒+ 中断向量 (0x0C)+ RF (ADIF) = 1, 振荡器, TCC 和 TIMERX 继续工作. AD 转换完成时唤醒.	中断向量 (00CH) + 置 RF (ADIF)=1	

信号	休眠模式	正常模式
比较器 (比较器输出 状态改变)	IOCD1 (CMPWE) Bit 1 = 0, IOCF0 (CMPIE) Bit 7 = 0	IOCF0 (CMPIE) Bit 7 = 0
	比较器输出状态改变唤醒无效. 振荡器, TCC 和 TIMERX 停止.	比较器输出状态改变中断无效.
	IOCD1 (CMPWE) Bit 1 = 0, IOCF0 (CMPIE) Bit 7 = 1	NA
	置 RF (CMPPIF) = 1, 比较器输出状态改变唤醒无效. 振荡器, TCC 和 TIMERX 停止.	NA
	IOCD1 (CMPWE) Bit 1 = 1, IOCF0 (CMPIE) Bit 7 = 0	NA
	唤醒+ 下一条指令, 振荡器, TCC 和 TIMERX 停止.	NA
	IOCD1 (CMPWE) Bit 1=1, DISI + IOCF0 (CMPIE) Bit 7 = 1	DISI + IOCF0 (CMPIE) Bit 7 = 1
	唤醒+ 下一条指令+ 置 RF (CMPPIF) = 1, 振荡器, TCC 和 TIMERX 停止.	下一条指令+ 置 RF (CMPPIF) = 1
低电压检测	IOCD1 (CMPWE) Bit 1 = 1, ENI + IOCF0 (CMPIE) Bit 7 = 1	ENI + IOCF0 (CMPIE) Bit 7 = 1
	唤醒+ 中断向量 (0x0F)+ 置 RF (CMPPIF) = 1, 振荡器, TCC 和 TIMERX 停止.	中断向量 (0x0F)+ 置 RF (CMPPIF) = 1
	R6 (LVDWE) Bit 3 = 0, R6 (LVDIE) Bit 4 = 0	R6 (LVDIE) Bit 4 = 0
	低电压检测无效. 振荡器, TCC 和 TIMERX 停止.	低电压检测无效.
	R6 (LVDWE) Bit 3 = 0, R6 (LVDIE) Bit 4 = 1	NA
	置 R6 (LVDIF) Bit 6 = 1, 低电压检测无效. 振荡器, TCC 和 TIMERX 停止.	NA
	R6 (LVDWE) Bit 3 = 1, R6 (LVDIE) Bit 4 = 0	NA
	唤醒+ 下一条指令, 振荡器, TCC 和 TIMERX 停止.	NA
R6 (LVDWE) Bit 3 = 1, DISI+ R6 (LVDIE) Bit 4 = 1	DISI + R6 (LVDIE) Bit 4 = 1	
唤醒+ 下一条指令+ 置 R6 (LVDIF) Bit 3 = 1, 振荡器, TCC 和 TIMERX 停止.	下一条指令+ 置 R6 (LVDIF) Bit 3 = 1	
R6 (LVDWE) Bit 3 = 1, ENI+ R6 (LVDIE) Bit 4 = 1	ENI + R6 (LVDIE) Bit 4 = 1	
唤醒+ 中断向量 (0x18)+置 R6 (LVDIF) Bit 3 = 1, 振荡器, TCC 和 TIMERX 停止.	中断向量 (0x18)+ 置 R6 (LVDIF) Bit 3 = 1	
WDT 溢出 IOCE1 (WDTE) Bit 7 = 1	唤醒+ 复位 (地址 0x00)	复位 (地址 0x00)

6.5.1.3 复位后寄存器初始值

寄存器初始值总结如下。

地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
N/A	IOC50	位名	C57	C56	C55	C54	C53	C52	C51	C50
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		引脚变化唤醒	P	P	P	P	P	P	P	P
N/A	IOC60	位名	-	/PH56	/PH55	/PH55	/PH53	/PH52	/PH51	/PH50
		上电	0	1	1	1	1	1	1	1
		/RESET 和 WDT	0	1	1	1	1	1	1	1
		引脚变化唤醒	P	P	P	P	P	P	P	P
N/A	IOC70	位名	-	/PD56	/PD55	/PD54	/PD53	/PD52	/PD51	/PD50
		上电	0	1	1	1	1	1	1	1
		/RESET 和 WDT	0	1	1	1	1	1	1	1
		引脚变化唤醒	P	P	P	P	P	P	P	P
N/A	IOC80	位名	-	/OD56	/OD55	/OD54	/OD53	/OD52	/OD51	/OD50
		上电	0	1	1	1	1	1	1	1
		/RESET 和 WDT	0	1	1	1	1	1	1	1
		引脚变化唤醒	P	P	P	P	P	P	P	P
N/A	IOC90	位名	/IVRE	VRE3	VRE2	VRE1	VRE0	CPOUT	COS1	COS0
		上电	0	1	1	1	1	0	0	0
		/RESET 和 WDT	0	1	1	1	1	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P
N/A	IOCA0	位名	-	-	-	-	-	-	-	-
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P
N/A	IOCB0	位名	-	-	-	-	-	-	-	-
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P



地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
N/A	IOCC0	位名	-	-	-	-	-	-	-	-
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P
N/A	IOCD0	位名	-	-	-	-	-	-	-	-
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P
N/A	IOCE0 (Code Option II)	位名	-	-	-	-	-	-	-	-
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P
N/A	IOCF0	位名	CMP1E	-	PWM21E	PWM11E	AD1E	EX1E	IC1E	TC1E
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P
N/A	IOC51 PWMCON	位名	-	-	-	-	-	PWMCAS	PWM2E	PWM1E
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P
N/A	IOC61 TMRCON	位名	T2EN	T1EN	T2P2	T2P1	T2P0	T1P2	T1P1	T1P0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P
N/A	IOC71 (PRD1)	位名	PRD1[7]	PRD1[6]	PRD1[5]	PRD1[4]	PRD1[3]	PRD1[2]	PRD1[1]	PRD1[0]
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P
N/A	IOC81 (PRD2)	位名	PRD2[7]	PRD2[6]	PRD2[5]	PRD2[4]	PRD2[3]	PRD2[2]	PRD2[1]	PRD2[0]
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P



地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
N/A	IOC91 (DT1)	位名	DT1[7]	DT1[6]	DT1[5]	DT1[4]	DT1[3]	DT1[2]	DT1[1]	DT1[0]
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P
N/A	IOCA1 (DT2)	位名	DT2[7]	DT2[6]	DT2[5]	DT2[4]	DT2[3]	DT2[2]	DT2[1]	DT2[0]
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P
N/A	IOCB1 (TMR1)	位名	TMR1[7]	TMR1[6]	TMR1[5]	TMR1[4]	TMR1[3]	TMR1[2]	TMR1[1]	TMR1[0]
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P
N/A	IOCC1 (TMR2)	位名	TMR2[7]	TMR2[6]	TMR2[5]	TMR2[4]	TMR2[3]	TMR2[2]	TMR2[1]	TMR2[0]
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P
N/A	IOCD1 (WUCR)	位名	-	-	-	-	-	ADWE	CMPWE	ICWE
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P
N/A	IOCE1 (WDTC)	位名	WDTE	-	-	-	PSWE	PSW2	PSW1	PSW0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P
N/A	CONT	位名	INTE	INT	TS	TE	PSTE	PST2	PST1	PST0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P
0x00	R0 (IAR)	位名	-	-	-	-	-	-	-	-
		上电	U	U	U	U	U	U	U	U
		/RESET 和 WDT	P	P	P	P	P	P	P	P
		引脚变化唤醒	P	P	P	P	P	P	P	P

地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x01	R1 (TCC)	位名	-	-	-	-	-	-	-	-
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P
0x02	R2 (PC)	位名	-	-	-	-	-	-	-	-
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	跳到地址 0x06 或者继续执行下一条指令							
0x03	R3 (SR)	位名	RST	IOCS	-	T	P	Z	DC	C
		上电	0	0	0	1	1	U	U	U
		/RESET 和 WDT	0	0	0	t	t	P	P	P
		引脚变化唤醒	P	P	P	t	t	P	P	P
0x04	R4 (RSR)	位名	-	BS6	((((((
		上电	0	0	U	U	U	U	U	U
		/RESET 和 WDT	0	0	P	P	P	P	P	P
		引脚变化唤醒	P	P	P	P	P	P	P	P
0x05	R5	位名	P57	P56	P55	P54	P53	P52	P51	P50
		上电	0	1	1	1	1	1	1	1
		/RESET 和 WDT	0	1	1	1	1	1	1	1
		引脚变化唤醒	P	P	P	P	P	P	P	P
0x06	R6 (LVDCR)	位名	-	LVDIF	/LVD	LVDIE	LVDWE	LV DEN	LVD1	LVD0
		上电	0	0	1	0	0	0	1	1
		/RESET 和 WDT	0	0	1	0	0	0	1	1
		引脚变化唤醒	P	P	P	P	P	P	P	P
0x07	R7 (MCSR)	位名	-	-	CPUS	IDLE	EIS	TCCSC	TMR1SC	TMR2SC
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P
0x08	R8 (AISR)	位名	(ADE6	ADE5	ADE4	ADE3	ADE2	ADE1	ADE0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P

地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x09	R9 (ADCON)	位名	VREFS	CKR1	CKR0	ADRUN	ADPD	ADIS2	ADIS1	ADIS0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P
0x0A	RA (ADOC)	位名	CALI	SIGN	VOF[2]	VOF[1]	VOF[0]	-	-	-
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P
0x0B	RB ADDATAH	位名	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2
		上电	U	U	U	U	U	U	U	U
		/RESET 和 WDT	U	U	U	U	U	U	U	U
		引脚变化唤醒	P	P	P	P	P	P	P	P
0x0C	RC ADDATA L	位名	-	-	-	-	-	-	ADD1	ADD0
		上电	0	0	0	0	0	0	U	U
		/RESET 和 WDT	0	0	0	0	0	0	U	U
		引脚变化唤醒	P	P	P	P	P	P	P	P
0x0D	RD (TBLP)	位名	RBit 7	RBit 6	RBit 5	RBit 4	RBit 3	RBit 2	RBit 1	RBit 0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P
0(0E)	RE (TBHP)	位名	MLB	-	-	-	-	RBit 10	RBit 9	RBit 8
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P
0(0F)	RF (ISR)	位名	CMPIF	-	PWM2IF	PWM1IF	ADIF	EXIF	ICIF	TCIF
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚变化唤醒	P	P	P	P	P	P	P	P

注释: X: 未使用 U: 未知或不相关
 P: 复位前值 t: 章节 6.5.2下核对表格

6.5.1.4 控制器复位结构框图

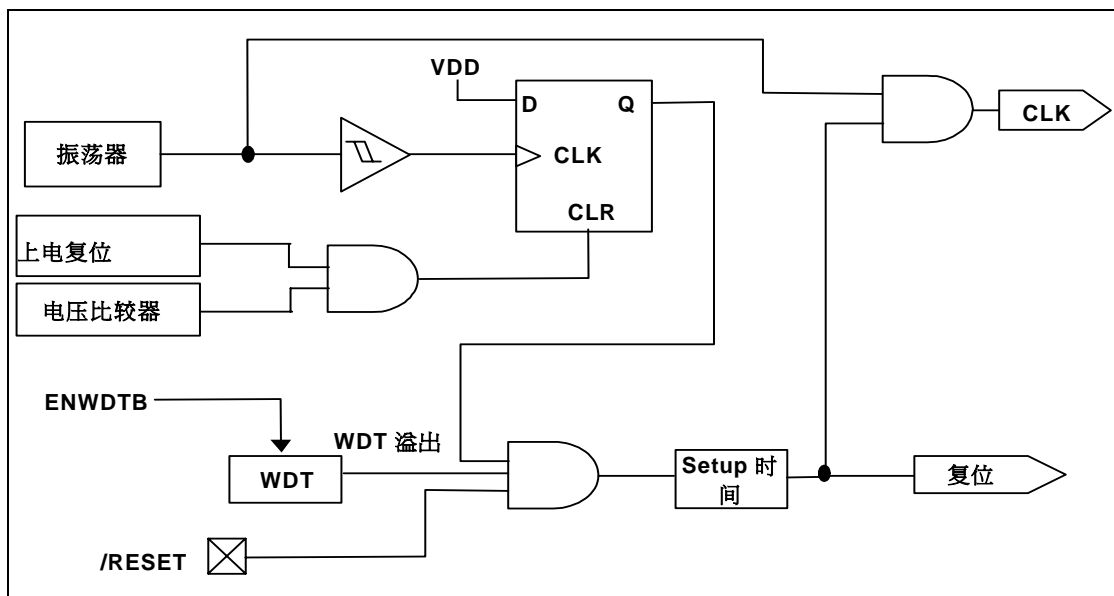


图 6-5 控制器复位结构框图

6.5.2 状态寄存器 T 和 P 标志位状态

复位初始化可由以下事件产生:

1. 上电复位
2. /RESET 引脚输入"低"
3. WDT 溢出 (如果使能)

T 和 P 的值如下列表所示, 可用于判断唤醒类型.

复位类型	T	P
上电	1	1
运行模式下的 /RESET 引脚信号引发复位	*P	*P
休眠模式下 /RESET 引脚信号触发唤醒	1	0
运行模式下发生 LVR,	*P	*P
休眠模式下 LVR 引起唤醒	1	0
运行模式下的 WDT 溢出复位	0	1
休眠模式下的 WDT 溢出唤醒	0	0
休眠模式下的引脚输入状态改变触发唤醒	1	0

*P: 复位前状态

以下事件可能会影响 T 和 P 标志位的状态

事件	T	P
上电	1	1
WDTC 指令	1	1
WDT 溢出	0	*P
SLEP 指令	1	0
引脚状态变化引起器件从休眠模式唤醒	1	0

*P: 复位前值

6.6 中断

EM78P143 有如下 7 种中断:

1. TCC 溢出中断
2. Port 5 输入状态改变中断
3. 外部中断 (P52, /INT) 引脚
4. AD 转换完成中断
5. PWM 模式下当 TMR1/TMR2 分别与 PRD1/PRD2 相匹配时
6. 比较器输出状态改变中断
7. 低电压检测中断

在使能 Port 5 输入状态改变中断前, 读 Port 5 端口状态(例如: "MOV R5,R5")是必要的。当引脚状态改变时, Port 5 的每个引脚均具有此特性。如果执行指令 SLEP 之前 Port 5 输入状态改变中断被使能, Port 5 输入状态改变中断将使 EM78P143 从休眠模式唤醒。器件唤醒后, 如果全局中断被禁止, 控制器将从 SLEP 指令的下一条指令处开始执行; 如果全局中断被使能, 控制器将跳转到中断向量 006H 处开始执行。

外部中断配备数字噪声抑制电路(输入脉冲小于系统时钟周期被认为是噪声滤除)。但是, 在低频晶体振荡器(LXT)模式下, 噪声抑制电路无效。可由 CONT 的 INTE 选择信号边沿。当外部中断产生时, 将进入地址 003H 处取指令。参见代码选项字 Word 0 的 Bit4 (章节 6.13.1, 数字噪声抑制定义)。

RF 是中断状态寄存器 它的相应标志/位记录对应的中断请求 IOCF 是中断屏蔽寄存器。全局中断可通过执行 ENI 指令使能, DISI 指令禁止。当产生某个中断(若使能), 程序计数器将会跳转到中断向量处。在中断服务子程序中, 可通过查询 RF 寄存器的标志位的状态判断中断源。在离开中断服务子程序前, 必须通过指令清除中断标志位, 这样可避免中断嵌套。

当中断屏蔽位使能时, 不管是否执行 ENIRF 的中断标志位都会被置位。注意, 从 RF 寄存器读取的值是 RF 和 IOCF 的逻辑与的结果(参见下图)。RETI 指令结束中断服务子程序并使能全局中断(执行 ENI)。

当定时/计数器中断产生时, 程序将分别进入地址 009H, 012H, 015H 处执行(TCC, 定时器 1 和定时器 2)。

当 AD 转换完成中断发生时, 下一条指令从 00CH 处执行。

比较器中断发生时, 下一条指令从 00FH 处执行。

当 LVD 中断发生时, 下一条指令从 018H 处执行。

在执行中断子程序前, ACC, R3 和 R4 寄存器的内容将被硬件保存。如果另一个中断发生, ACC, R3 和 R4 将被新的中断代替。中断服务子程序结束之前, ACC, R3 和 R4 的内容被恢复。

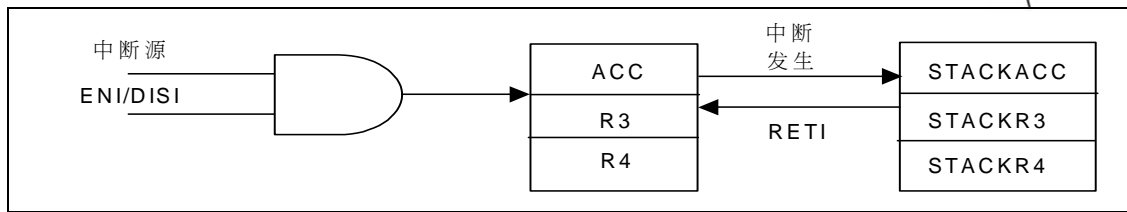


图 6-9 中断结构框图

EM78P143 每个独立的中断源都有自己的中断向量, 如下表所示.

中断向量	中断状态	优先级
003H	外部中断	2
006H	Port 5 引脚变化	3
009H	TCC 溢出中断	4
00CH	AD 转换完成中断	5
00FH	比较器中断	6
012H	定时器 1 (PWM1) 溢出中断	7
015H	定时器 2 (PWM2) 溢出中断	8*
018H	LVD 中断	1*

*优先级: 8 =最低, 1 = 最高

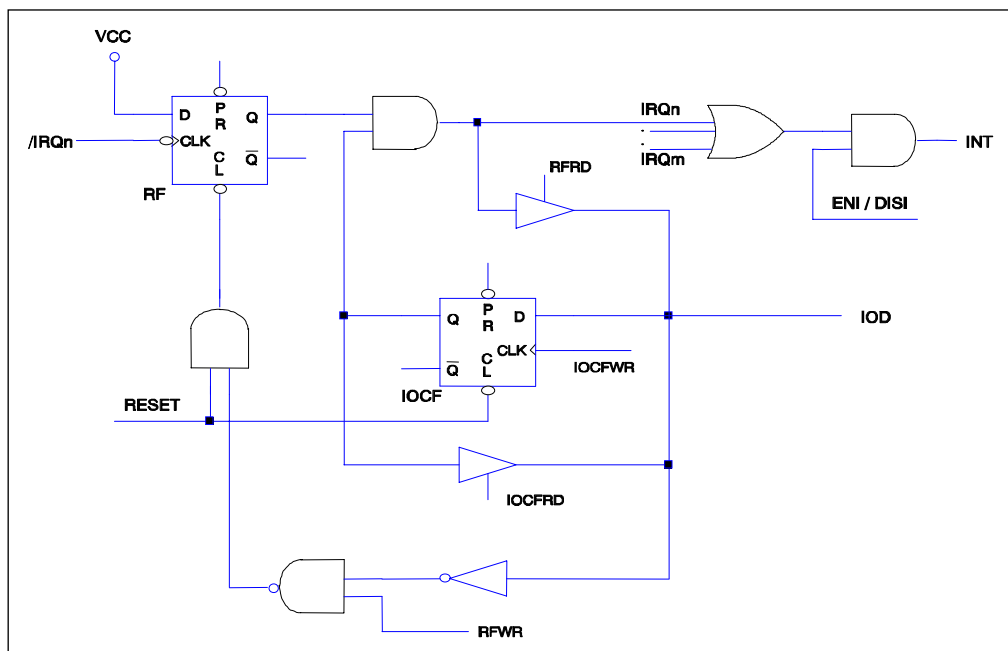


图 6-6b 中断输入电路

6.7 模数转换 (ADC)

模数转换电路由一个 10 位的模拟多路复用器组成(7 通道); 3 个控制寄存器, (AISR/R8, ADCON/R9 和 ADOC/RA), 2 个数据寄存器 (ADDATAH/RB, ADDATAL/RC), 和 10 位精度的 ADC 在下图的功能结构框图中所示。模拟参考电压 V_{ref} 与模拟地分别通过输入引脚相连。参考电压采用外部的 V_{REF} 比采用内部的 V_{DD} 更加精确。

ADC 采用逐次逼近式算法将模拟信号转换为数字信号。结果存至 ADDATAH 和 ADDATAL。输入信号通道选择由寄存器 ADCON 的 Bits ADIS2, ADIS1 和 ADIS0 定义。

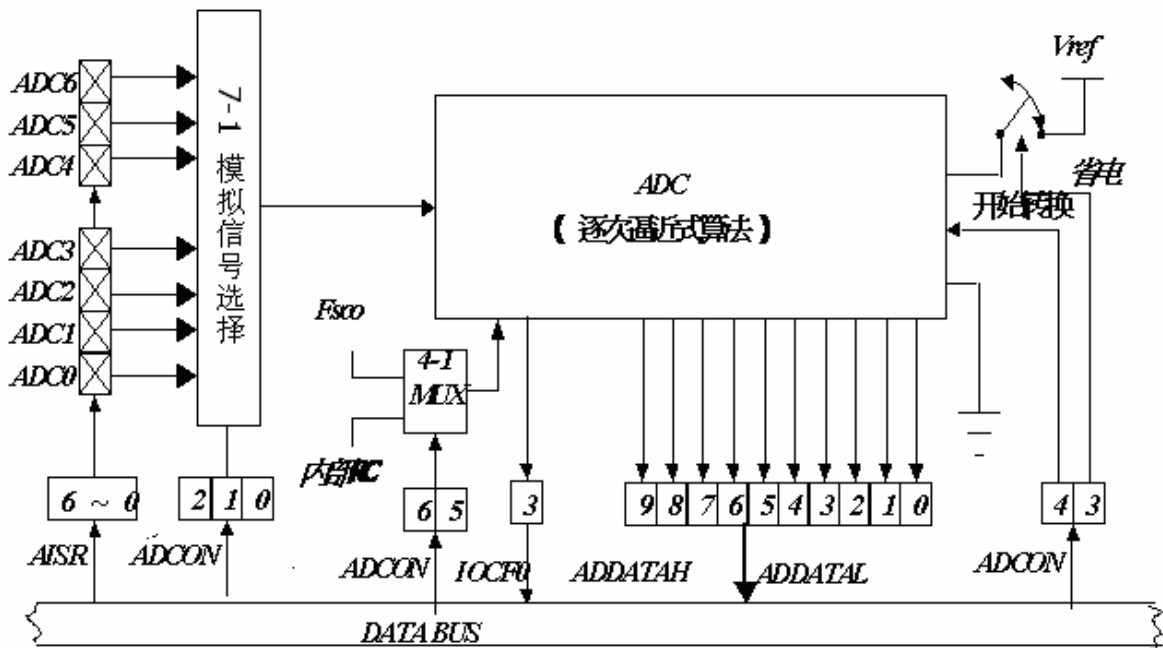


图 6-7 模数转换功能结构框图

6.7.1 ADC 控制寄存器 (AISR/R8, ADCON/R9, ADOC/RA)

6.7.1.1 R8 (AISR: ADC 输入选择寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	ADE6	ADE5	ADE4	ADE3	ADE2	ADE1	ADE0

寄存器 AISR 单独定义 Port5 引脚为模拟信号输入或者是 I/O 口。

- Bit 7:** 未使用, 为 '0'
- Bit 6 (ADE6):** P56 引脚的 AD 转换使能位
- 0:** 禁止 ADC6, P56 为 I/O 引脚
- 1:** 使能 ADC6 为模拟信号输入引脚

- Bit 5 (ADE5):** P55引脚的 AD 转换使能位
0: 禁止 ADC5, P55 为 I/O 引脚
1: 使能 ADC5 为模拟信号输入引脚
- Bit 4 (ADE4):** P54引脚的 AD 转换使能位
0: 禁止 ADC4, P54 为 I/O 引脚
1: 使能 ADC4 为模拟信号输入引脚
- Bit 3 (ADE3):** P53引脚的 AD 转换使能位
0: 禁止 ADC3, P53 为 I/O 引脚
1: 使能 ADC3 为模拟信号输入引脚
- Bit 2 (ADE2):** P52引脚的 AD 转换使能位
0: 禁止 ADC2, P52 为 I/O 引脚
1: 使能 ADC2 为模拟信号输入引脚
- Bit 1 (ADE1):** P51引脚的 AD 转换使能位
0: 禁止 ADC1, P51 为 I/O 引脚
1: 使能 ADC1 为模拟信号输入引脚
- Bit 0 (ADE0):** P50引脚的 AD 转换使能位
0: 禁止 ADC0, P50 为 I/O 引脚
1: 使能 ADC0 为模拟信号输入引脚

注意

- P55/AD5/CO/TCC引脚 不能同时作为TCC, CO 和 AD5 功能.
- P55/AD5/CO/TCC 优先级如下:

P55/AD5/CO/TCC 优先级			
最高	高	中	低
TCC	CO	AD5	P55

6.7.1.2 R9 (ADCON: AD 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VREFS	CKR1	CKR0	ADRUN	ADPD	ADIS2	ADIS1	ADIS0

寄存器 **ADCON** 控制 AD 转换操作，并且定义激活引脚。

- Bit 7(VREFS):** ADC 参考电压输入选择
0: 内部参考引脚 ADC Vref 接至 Vdd (默认值), 并且 P54/AD4/C-/VREF 引脚为 P54 功能

1: 外部参考引脚,ADC Vref 接至 P54/VREF

注意

P54/TCC/VREF不能同时作为 TCC 和VREF 功能。
P54/TCC/VREF优先级如下:

P54/TCC/VREF 引脚优先级		
高	中	低
VREF	TCC	P54

Bit 6 ~ Bit 5 (CKR1 ~ CKR0):ADC 转换时间选择位

00 = 1: 16 (默认值)

01 = 1: 4

10 = 1: 64

11 = 1: 8

CKR1 : CKR0	工作模式	最大工作频率
00	Fosc/16	4 MHz
01	Fosc/4	1 MHz
10	Fosc/64	16 MHz
11	Fosc/8	2 MHz

Bit 4 (ADRUN): ADC 转换开始.
0: 转换完成后清零,不能通过软件清零.

1: AD 转换开始. 可被软件置位.

Bit 3 (ADPD): ADC 电源控制位
0: 关闭 AD 电源以省电,即使 CPU 正在运行

1: ADC 电路开启

注意

ADPD 标志位必须先于ADRUN 使能。程序设计参见章节6.7.6.

Bit 2 ~ Bit 0 (ADIS2 ~ ADIS0): 模拟信号选择

111 = 未使用

110 = ADIN1/P56

101 = ADIN5/P55

100 = ADIN4/P54

011 = ADIN3/P53

010 = ADIN2/P52

001 = ADIN1/P51

000 = ADIN0/P50

当 ADIF 和 ADRUN 同时为低时,这些位才能被改变。

6.7.1.3 RA (ADOC: AD 补偿校准寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CALI	SIGN	VOF[2]	VOF[1]	VOF[0]	-	-	-

Bit 7 (CALI): ADC 补偿校准使能位

0: 禁止校准

1: 使能校准

Bit 6 (SIGN): 补偿电压极性

0: 负电压

1: 正电压

Bit 5 ~ Bit 3 (VOF[2] ~ VOF[0]): 补偿电压位.

VOF[2]	VOF[1]	VOF[0]	EM78P143
0	0	0	0 LSB
0	0	1	1 LSB
0	1	0	2 LSB
0	1	1	3 LSB
1	0	0	4 LSB
1	0	1	5 LSB
1	1	0	6 LSB
1	1	1	7 LSB

Bit 2 ~ Bit 0: 未使用, 为'0'.

6.7.2 ADC 数据寄存器 (ADDATAH/RB, ADDATAL/RC)

当 AD 转换完成时,结果存至 ADDATAH 和 ADDATAL 寄存器. ADRUN 标志位被清除, ADIF 置位.

6.7.3 ADC 采样时间

逐次逼近式 AD 转换的精度、线性和速度由 ADC 和比较器的性能决定。外部 AD 电路的输入阻抗和内部采样阻抗直接影响采样电路中电容的充电时间。应用程序控制采样时间长短以满足特定精度需要。一般来说, 对于每千欧姆模拟输入阻抗, 程序应等待 2 μ s, 对于低阻源应至少等待 2 μ s, 建议外部 AD 电路的输入阻抗是最大 10K Ω , Vdd=5V。模拟输入通道选定后, 在转换开始之前这个采样时间应该先满足。

6.7.4 AD 转换时间

CKR0 和 CKR1 依照指令周期来选择转换时间(Tct)。在不影响 A/D 转换精度的条件下，这允许 MCU 以最高频率运行。对于 EM78P143，每位转换时间约为 4 μ s。下表列出了 Tct 与最高频率的关系。

CKR1:CKR0	工作模式	最大工作频率	最大转换速率/位	最大转换速率
00	Fosc/16	4 MHz	250kHz (4 μ s)	15 \times 4 μ s=60 μ s (16.7kHz)
01	Fosc/4	1 MHz	250kHz (4 μ s)	15 \times 4 μ s=60 μ s (16.7kHz)
10	Fosc/64	16 MHz	250kHz (4 μ s)	15 \times 4 μ s=60 μ s (16.7kHz)
11	Fosc/8	2 MHz	250kHz (4 μ s)	15 \times 4 μ s=60 μ s (16.7kHz)

注意

- 没有被用作模拟输入的引脚可以被用作普通输入输出引脚。
- 转换时，不要运行输出指令以保持所有引脚的稳定。

6.7.5 休眠模式时的AD转换

为了得到更精确的 ADC 值和较低功耗，AD 转换可以在休眠模式下进行。当执行 SLEEP 指令后，主控制器停止工作，但振荡器，TCC, 定时器 1, 定时器 2 和 AD 转换继续工作。

当以下情况发生时说明 AD 转换结束:

1. 寄存器 R9 的 ADRUN 标志位被清零.
2. RF 寄存器的 ADIF 标志位被置“1”.
- 3.寄存器 IOCD1 的 ADWE 标志位置“1.”在休眠模式下由 AD 转换唤醒
- 4.唤醒并执行下一条指令,如果寄存器 IOCF0 的 ADIE 标志位被使能并且执行 DISI 指令.
- 5.唤醒和进入中断向量地址 0x0c,如果寄存器 IOCF0 的 ADIE 标志位使能并且执行指令“ENI”.
- 6.进入中断向量地址 0x0C,如果寄存器 IOCF0 的 ADIE 标志位使能并且执行指令“ENI”.

转换结束后，结果送入 ADDATA, ADOC。如果标志位 ADIE 使能，控制器将被唤醒。A/D 转换器将关闭，不论 ADPD 位是什么状态。

6.7.6 程序设计步骤，寄存器设置

6.7.6.1 程序设计步骤

遵循以下步骤可完成 AD 转换：

- 1.设置寄存器 R8 (AISR) 的 7 个位(ADE6~ADE0) 以定义 R5 的特性 (数字 I/O, 模拟信号通道, 或者参考电压引脚)
- 2.设置 R9/ADCON 寄存器以配置 AD 模块:
 - a) 选择 ADC 输入通道 (ADIS2~ADIS0)
 - b) 定义 AD 转换时间(CKR1:CKR0)
 - c) 选择 ADC 的参考电压输入源

- d) ADPD 位置 1 打开电源
- 3.如果使用唤醒功能，请设置 ADWE 位
- 4.如果使用中断功能，请设置 ADIE 位
- 5.如果使用中断功能，请执行“ENI”指令
- 6.ADRUN 标志位置 1
- 7.写 “SLEP” 指令或查询.
- 8.等待唤醒或者 ADRUN 位清零
- 9.从寄存器 ADDATAH 和 ADDATAL 读取转换值. 此时如果 ADC 输入通道改变，ADDATAH 和 ADDATAL 可被清零.
- 10.清除中断标志位(ADIF)
- 11.跳转至步骤 1 和步骤 2 开始下一次转换。但必须延时至少 2 Tct 时间.

注意

为了获得准确的结果，在转换过程中需要避免I/O端口上传输数据.

6.7.6.2 演示程序

A. 定义一个通用寄存器

```
R_0 == 0           ; 间接寻址寄存器
PSW == 3           ; 状态寄存器
PORT5 == 5
IOCD1 == 0XD       ; 唤醒控制寄存器
RF == 0XF          ; 中断状态寄存器
```

B. 定义控制寄存器

```
IOC50 == 0X5       ; Port 5控制寄存器
IOCF0 == 0XF       ; 中断控制寄存器
```

C. ADC 控制寄存器

```
ADDATAH == 0xB     ; 内容为ADC结果
ADDATAL == 0XC     ; 内容为ADC结果
AISR == 0x08       ; ADC 输入选择寄存器
ADCON == 0x9       ; 7 6 5 4 3 2 1 0
                   ; VREFS CKR1 CKR0 ADRUN ADPD ADIS2 ADIS1 ADIS0
```

D. ADCON 定义位

```
ADRUN == 0x4       ; 该位置1则ADC执行
ADPD == 0x3        ; ADC电源
```

E. 程序开始

```
ORG 0               ; 初始地址
JMP INITIAL
```

```
ORG 0x0C            ; 中断向量
```



```

;
;
;(用户程序选择)
;
;
CLR RF          ; ADIF位清零
BS ADCON, ADRUN ; 如果需要, 执行下一次AD转换

RETI

INITIAL:
MOV A, @0B00000001 ; 定义P50为模拟输入
MOV AISR, A
MOV A, @0B00001000 ; 选择P50为一个模拟输入通道, AD电源打开
MOV ADCON, A      ; 定义P50为输入引脚, 选择时钟比率为fosc/16
En_ADC:
MOV A, @0BXXXXXXX1 ; 定义P50为输入引脚
IOW PORT5          ; 其他引脚根据应用定义

BS R3,6            ; 选择片段 1
MOV A, @0BXXXXX1XX ; 使能ADWE, 使能ADC唤醒功能, "X" 由用户定义
IOW IOCD1
BC R3,6           ; 选择片段 0
MOV A, @0BXXXXX1XXX ; 使能ADIE, 使能ADC中断
; "X" 由应用决定
IOW IOCF0

ENI                ; 使能中断功能

BS ADCON, ADRUN   ; ADC启动

; 如果应用中断功能, 以下三行可以忽略

POLLING:
JBC ADCON, ADRUN ; 不断检测ADRUN位;
JMP POLLING      ; AD转换结束ADRUN位将被清零
;
;
;(用户程序区)
;
;

```

6.8 两路PWM (脉宽调制)

PWM 电路寄存器

程序页	地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IOC51	0x05	PWMCON	"0"	"0"	"0"	"0"	"0"	PWMCAS	PWM2E	PWM1E
IOC61	0x06	TMRCON	T2EN	T1EN	T2P2	T2P1	T2P0	T1P2	T1P1	T1P0
IOC71	0x07	PRD1	PRD1 [7]	PRD1 [6]	PRD1 [5]	PRD1 [4]	PRD1 [3]	PRD1 [2]	PRD1 [1]	PRD1 [0]
IOC81	0x08	PRD2	PRD2 [7]	PRD2 [6]	PRD2 [5]	PRD2 [4]	PRD2 [3]	PRD2 [2]	PRD2 [1]	PRD2 [0]
IOC91	0x09	DT1	DT1 [7]	DT1 [6]	DT1 [5]	DT1 [4]	DT1 [3]	DT1 [2]	DT1 [1]	DT1 [0]
IOCA1	0x0A	DT2	DT2 [7]	DT2 [6]	DT2 [5]	DT2 [4]	DT2 [3]	DT2 [2]	DT2 [1]	DT2 [0]
R PAGE	0x0F	ISR	CMPIF	"0"	PWM2IF	PWM1IF	ADIF	EXIF	ICIF	TCIF
IOCF0	0x0F	IMR	CMPIE	"0"	PWM2IE	PWM1IE	ADIE	EXIE	ICIE	TCIE
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

6.8.1 概述

在 PWM 模式中，PWM1 和 PWM2 引脚产生 8 位精度的脉冲宽度调制输出（结构功能图如下所示）。一个 PWM 输出包含一个工作周期和一个占空比，它保持输出高。PWM 的频率是其周期的倒数，下图（PWM 输出周期）描述了工作周期与占空比的关系。

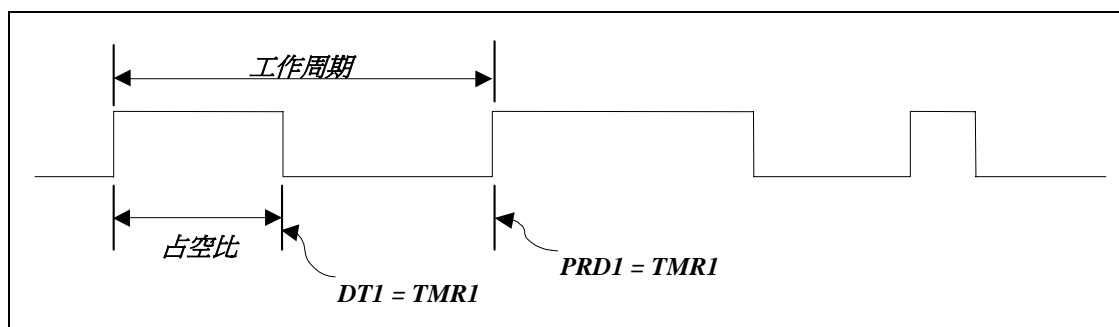


图 6-8a PWM 输出时序图

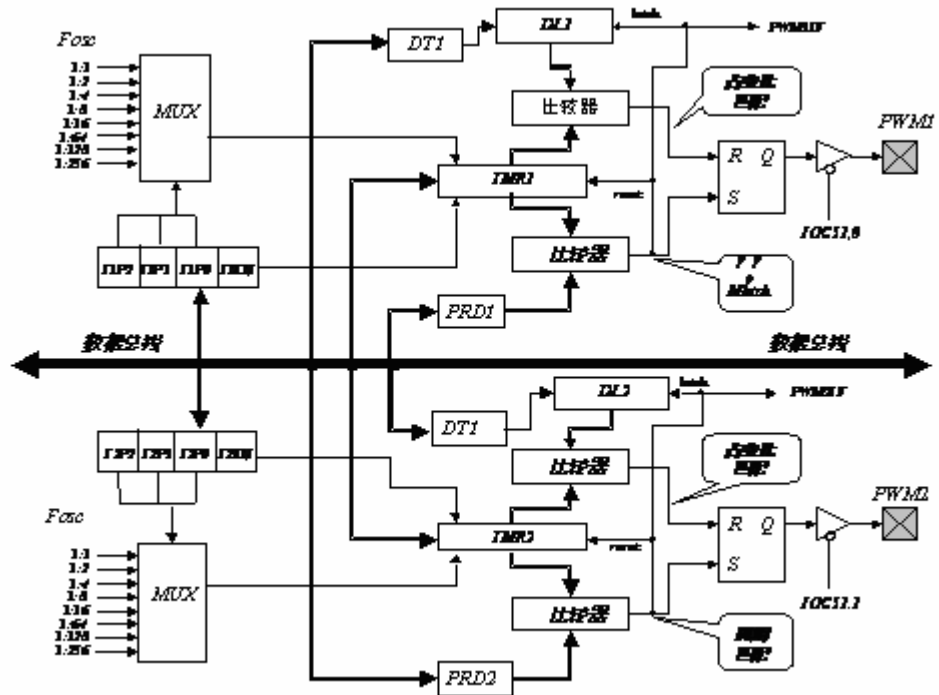


图 6-8b 2个PWM的结构功能图

6.8.2 加定时计数器(TMRX : TMR1 或 TMR2)

TMRX 是一个 8 位可编程设置预分比的时钟计数器。用来作为 PWM 的波特率时钟发生器。开启后，可以通过设置 T1EN 位 [IOC61<6>] 或 T2EN 位 [IOC61<7>] 为 0 将其关闭以达到省电目的。

TMR1 和 TMR2 为内部设计不可以读。

6.8.3 PWM 工作周期 (PRDX : PRD1 或 PRD2)

PWM 的工作周期可通过寄存器 PRDX。当 TMRX 的值与 PRDX 相等时，如下事件将在下一个增量周期发生：

TMR 被清除

PWMX 引脚置 1

PWM 占空比从 DT1/DT2 到 DL1/DL2 被锁定

注意
占空比为0时没有PWM输出

PWMXIF 引脚置 1

以下为 PWM 工作周期的计算公式：

$$\text{工作周期} = (PRDX + 1) \times \left(\frac{1}{F_{osc}} \right) \times (TMRX \text{ 预分比值})$$

例如:

PRDX = 49; Fosc = 4 MHz; TMRX (0, 0, 0) = 1 : 1,

$$\text{工作周期} = (49 + 1) \times \left(\frac{1}{4M} \right) \times 1 = 12.5 \mu\text{s}$$

6.8.4 PWM 占空比(DTX: DT1 or DT2; DLX: DL1 or DL2)

PWM 的占空比由寄存器 DTX 设定并且从 DTX 到 DLX 被锁定当清除 TMRX 时。当 DLX 与 TMRX 相等时，PWMX 引脚输出低电平。可随时加载寄存器 DTX，但是不能锁定到 DLX，除非 DLX 的当前值与 TMRX 相等。

以下为 PWM 占空比的计算公式：

$$\text{Duty cycle} = (DTX) \times \left(\frac{1}{F_{osc}} \right) \times (\text{TMRX 预分比值})$$

例如:

DTX = 10; Fosc = 4 MHz; TMRX (0, 0, 0) = 1 : 1,

Then

$$\text{占空比} = (10) \times \left(\frac{1}{4M} \right) \times 1 = 2.5 \mu\text{s}$$

6.8.5 比较器 X

匹配产生时输出状态改变同时标志位 PWMXIF (TMRXIF)置位.

6.8.6 PWM 程序设计方法/步骤

PWM 工作周期加载至寄存器 PRDX.

1. PWM 占空比加载至寄存器 DTX.
2. 如果有中断请求，通过寄存器 IOCF 使能中断.
3. 将期望值写入寄存器 IOC5 设置 PWMX 引脚输出.
4. 将期望值写入 Bank1IOC6 设定 TMRX 的预分比值然后使能 PWMX 和 TMRX 功能.

6.8.7 PWM 级联模式

PWM 的级联模式是将 2 个 8 位的 PWM 合并成一个 16 位的 PWM。此模式下，必要参数将被重复定义如下：

参量	DT (占空比)	PRD (周期)	TMR (定时器)
16 位 PWM			
MSB (15~8)	DT2	PRD2	TMR2
LSB (7~0)	DT1	PRD1	TMR1

16 位的 PWM 采用 TMR1 的预分频器，TMR 的 MSB 将被计数当 LSB 被运送时，并且 PWM1IF bit/PWM1 引脚被重新定义为 PWMIF bit/PWM 引脚。

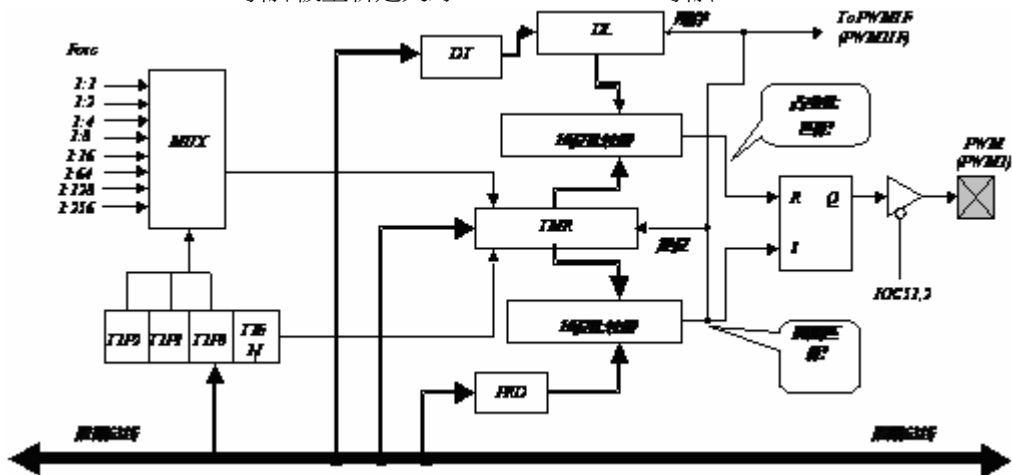


图 6-9 16位PWM功能结构框图 (由2个8位PWM合并)

6.9 定时器

PWM 电路寄存器

程序页	地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IOCB1	0X0B	TMR1	TMR1[7]	TMR1[6]	TMR1[5]	TMR1[4]	TMR1[3]	TMR1[2]	TMR1[1]	TMR1[0]
IOCC1	0X0C	TMR2	TMR2[7]	TMR2[6]	TMR2[5]	TMR2[4]	TMR2[3]	TMR2[2]	TMR2[1]	TMR2[0]

6.9.1 概述

定时器 1 (TMR1) 和 定时器 2 (TMR2) (TMRX) 都是可设定预分频比的 8 位时钟计数器。它们作为 PWM 模块的波特率时钟发生器。TMRX 只能读。进入休眠模式并且 AD 停止时，定时器 1 和定时器 2 将停止。但是当休眠模式时 AD 依然工作，定时器 1 和定时器 2 将继续工作。

6.9.2 功能描述

TMRX 的结构框图如下图所示：

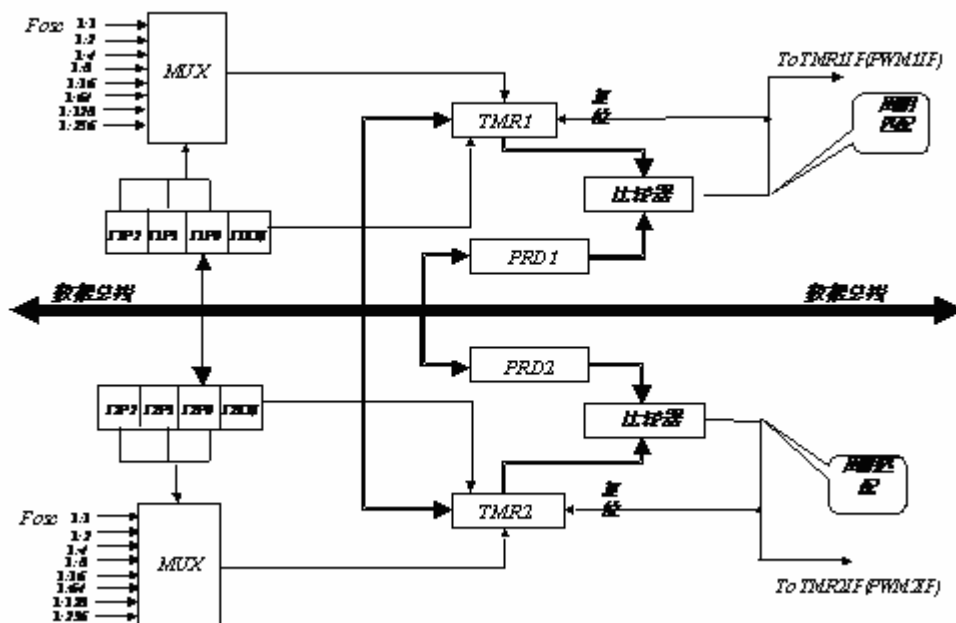


图 6-10 TMRX 结构框图

Fosc: 输入时钟.

预分频 (T1P2, T1P1 and T1P0 / T2P2, T2P1 and T2P0): 选项 1:1, 1:2, 1:4, 1:8, 1:16, 1:64, 1:128,和 1:256 由 TMRX 定义. 复位发生时被清除.

TMR1 和 TMR2: 定时器寄存器; TMRX 一直增加直到与 PRDX 匹配, 然后清零 0 (默认值).

PRDX (PRD1, PRD2): PWM 工作周期寄存器.

比较器 X (比较器 1 和比较器 2): TMRX 被复位匹配发生时. 同时 TMRXIF (PWMXIF) 标志位置位.

6.9.3 相关寄存器设计

TMRX 的设定参考其相关寄存器操作如下表所示,注意,当 TMRX 启用有,其 PWMX 位必须禁止,也就是说, PWMCON 的 Bit 7 ~ Bit 3 必须置 '0'.

6.9.3.1 TMR1 和 TMR2 相关控制寄存器

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IOC51	PWMCON/IOC51	"0"	"0"	"0"	"0"	"0"	PWMCAS	PWM2E	PWM1E
IOC61	TMRCON/IOC61	T2EN	T1EN	T2P2	T2P1	T2P0	T1P2	T1P1	T1P0

6.9.4 定时器设计过程/步骤

1. 将定时器持续时间加载至 PRDX
2. 通过寄存器 IOCF 使能中断功能如果需要
3. 对 TMRX 预分频器加载期望值, 并且使能 TMRX 禁止 PWMX

6.9.5 定时器级联模式

定时器的级联模式是由 2 个 8 位的定时器功能组成一个 16 位的定时器。此模式下，必要参数将被重新定义如下表所示：

参量	PRD (周期)	TMR (定时器)
16 位定时器		
MSB(15~8)	PD2	TMR2
LSB (7~0)	PD1	TMR1

16 位定时器使用 TMR1 的预分频器，TMR 的 MSB 将被计数当 LSB 被运送时，并且 PWM1IF bit/PWM1 引脚被重新定义为 PWMIF bit/PWM 引脚。

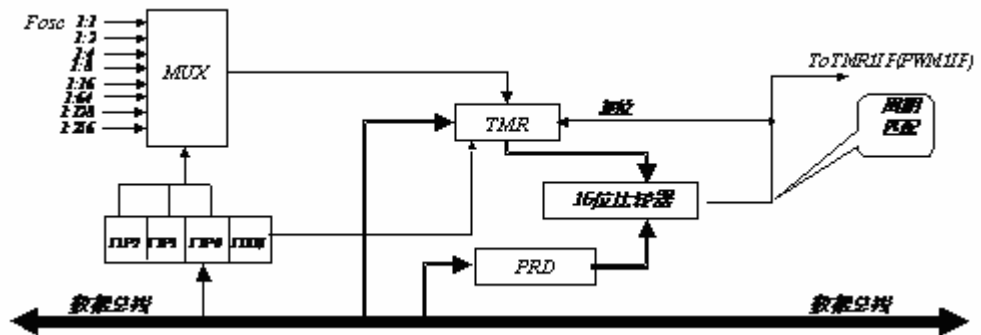


图 6-11 16 位定时器(由2个8位定时器构成) 功能结构框图

6.10 比较器

比较器电路寄存器

程序页	地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IOC90	0X09	CMPCON	/IVRE	VRE3	VRE2	VRE1	VRE0	CPOUT	COS1	COS0
R PAGE	0X0F	ISR	CMPIF	"0"	PWM2IF	PWM1IF	ADIF	EXIF	ICIF	TCIF
IOCF0	0X0F	IMR	CMPIE	"0"	PWM2IE	PWM1IE	ADIE	EXIE	ICIE	TCIE
IOCD1	0X0D	WUCR	"0"	"0"	"0"	"0"	"0"	ADWE	CMPWE	ICWE

EM78P143 配置一个比较器，有 2 个输入口一个输出口。比较器可使器件从休眠模式和空闲模式唤醒。比较器模块图如下所示。

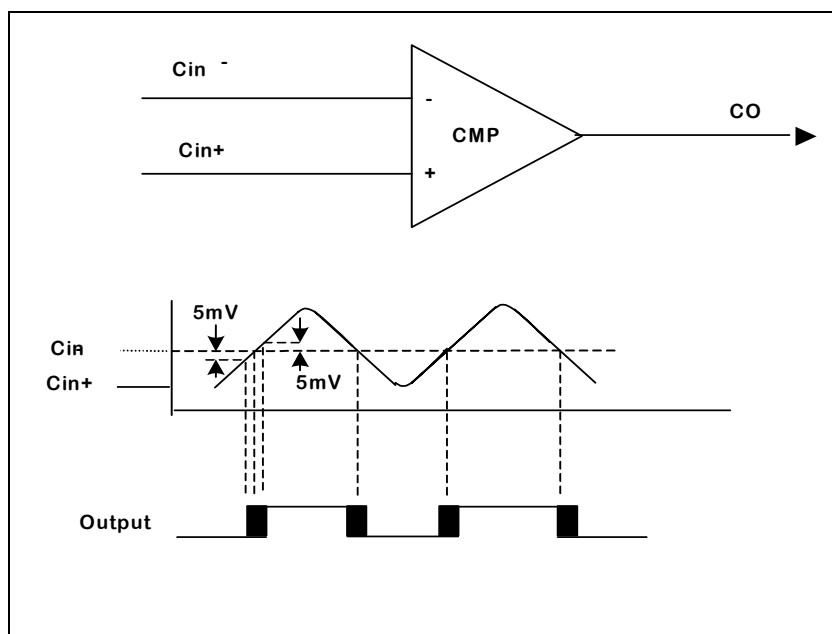


图 6-12 比较器电路框图和工作模式

6.10.1 比较器参考信号

Cin-引脚的模拟信号与 Cin+比较, 比较器输出 CO 遵循以下规则:

注意

- 参考信号幅度在Vss 与 Vdd之间.
- 参考电压可取比较器的其中一个引脚.
- CIN- 可连接至内部参考信号并且一直有效只要比较器校准禁止(CMPALCR II.)

此外, Cin- 可以采用内部参考电压通过设定/IVRE bit, 和 VRE3:VRE0 选择参考电压比例.

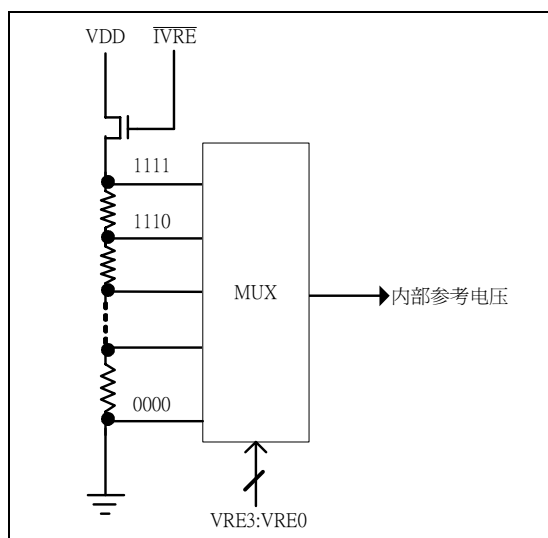


图 6-13 比较器 Trim 等效电路

VRE3	VRE2	VRE1	VRE0	电压参考值
0	0	0	0	0
0	0	0	1	VDD × 1/15
0	0	1	0	VDD × 2/15
0	0	1	1	VDD × 3/15
0	1	0	0	VDD × 4/15
0	1	0	1	VDD × 5/15
0	1	1	0	VDD × 6/15
0	1	1	1	VDD × 7/15
1	0	0	0	VDD × 8/15
1	0	0	1	VDD × 9/15
1	0	1	0	VDD × 10/15
1	0	1	1	VDD × 11/15
1	1	0	0	VDD × 12/15
1	1	0	1	VDD × 13/15
1	1	1	0	VDD × 14/15
1	1	1	1	VDD (默认)

注意

P54/AD4/C-/VREFS 引脚不能同时作为VREFS, C- 和 AD4 功能.

P54/AD4/C-/VREFS 优先级如下:

P54/AD4/C-/VREF 引脚优先级			
最高	高	中	低
VREF	C-	AD4	P54

P53/AD3/CIN+ 引脚不能同时作为CIN+ 和 AD3 功能.

P53/AD3/CIN+ 引脚优先级:

P53/AD3/C+		
高	中	低
C+	AD3	P53

6.10.2 比较器输出

比较器输出结果存在寄存器 IOC90 的 CMPOUT.

可通过设定寄存器 IOC90 的 Bit 1, Bit 0<COS1, COS0> 为 <1, 0>. 定义比较器的输出端 CO (P55), 见章节 6.2.7, IOC9 (CMPCON: 比较器控制寄存器) 比较器选择位功能描述.

注意

- P55/AD5/CO/TCC 引脚不能同时作为TCC, CO 和 AD5 功能.
- P55/AD5/CO/TCC 引脚优先级:

P55/AD5/CO/TCC 优先级			
最高	高	中	低
TCC	CO	AD5	P55

比较器输出结构框图如下所示.

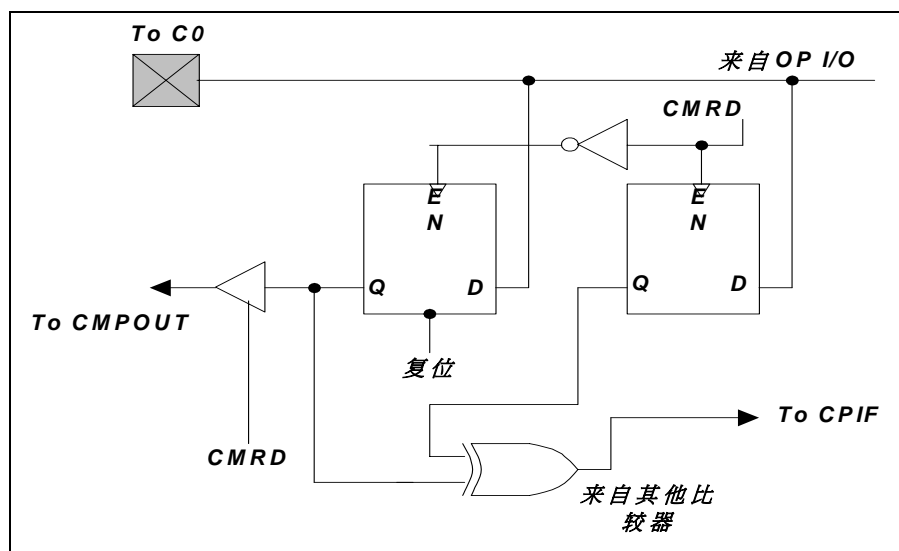


图 6-14 比较器输出配置

6.10.3 比较器中断

CMPIE (IOCF0.7) 必须使能因其受“ENI”指令的影响.

只要比较器的输出发生改变立即触发中断.

输出引脚的实际变化可以通过读寄存器 IOC90 的 CMPOUT 位获知.

CMPIF (RF.7) 为比较器的中断标志位, 只能由软件清零.

6.10.4 从休眠模式唤醒

如果使能比较器, 即使进入休眠模式, 比较器仍然保持激活状态和中断功能.

如果匹配不当发生, 中断将使器件从休眠模式中唤醒.

器件功耗将从能量保护的收益中考虑.

如果不打算在休眠模式下将比较器功能生效，必须在进入休眠模式之前将比较器关闭。

6.11 振荡器

6.11.1 振荡器模式

EM78P143 可运行在四种不同的振荡模式下，即：

高频晶振模式(HXT)

低频晶振模式(LXT)

外部 RC 振荡模式(ERC)

内部 RC 振荡模式(IRC)

用户可通过编程设置代码选项寄存器的 OSC3, OSC2, OSC1, 和 OSC0 位选择某种振荡模式。

振荡模式由 OSC3, OSC2, OSC1, 和 OSC0 定义，如下表所示：

振荡器模式	OSC3	OSC2	OSC1	OSC0
ERC ¹ (外部 RC 振荡模式); P51/OSCO 引脚功能为 P51	0	0	0	0
ERC ¹ (外部 RC 振荡模式); P51/OSCO 引脚功能为 OSC0	0	0	0	1
IRC ² (内部 RC 振荡模式); P51/OSCO 引脚功能为 P51	0	0	1	0
IRC ² (内部 RC 振荡模式); P51/OSCO 引脚功能为 OSC0	0	0	1	1
LXT1 (LXT1 模式的频率范围：100kHz~1 MHz)	0	1	0	0
HXT1 (HXT1 模式的频率范围：12 MHz~16 MHz)	0	1	0	1
LXT2 (LXT2 模式的频率为 32kHz)	0	1	1	0
HXT2 (HXT2 模式的频率范围：6 MHz~12 MHz)	0	1	1	1
XT (XT 模式的频率范围：1 MHz~6 MHz) (默认)	1	1	1	1

¹ERC 模式下, P50 为 OSCI 引脚, P51 由代码选项字 Word 1 Bit 4~Bit 1 定义。

²IRC 模式下, P50 为 I/O 引脚, P51 由代码选项字 Word 1 Bit 4~Bit 1 定义。

晶体振荡下不同电压的最大工作频率如下表所示：

条件	VDD	最大频率 (MHz)
2 个时钟	2.1	4
	4.5	16

6.11.2 晶体振荡器/陶瓷谐振器 (晶体)

EM78P143 可由通过 OSCI 引脚输入的外部时钟信号驱动，如下图所示：

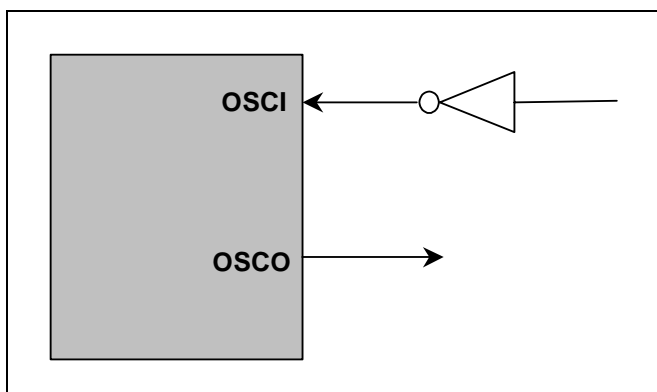


图 6-15a 外部时钟输入电路

在大多数应用中，OSCI 和 OSCO 引脚通常连接一个晶体或陶瓷谐振器以产生振荡，图 6-15b 描绘了一个这样的电路，HXT 模式和 LXT 模式都是以此种方式产生振荡。

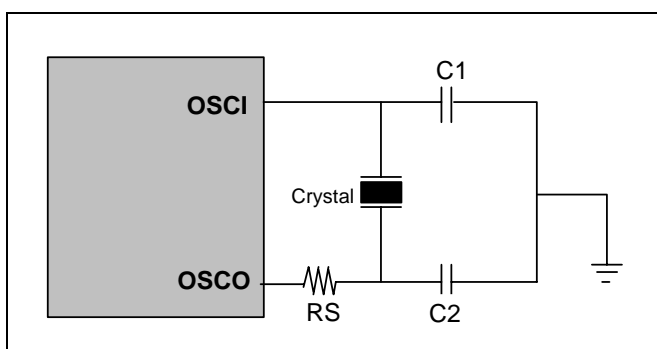


图 6-15b 晶体/陶瓷谐振器电路

下表提供了 C1 和 C2 的参考建议值。因为每个谐振器都有它自己的属性，用户应参考其用户手册以选择合适的 C1 和 C2。对于 AT strip cut 型晶体或低频模式，可能需要一个串接电阻 RS。

晶体振荡器或陶瓷谐振器匹配电容选择指南:

振荡器类型	频段	频率	C1 (pF)	C2 (pF)
陶瓷谐振器	HXT	455kHz	100~150	100~150
		2.0 MHz	20~40	20~40
		4.0 MHz	10~30	10~30
晶体振荡器	LXT	32.768kHz	33~68	33~68
		100kHz	25	25
		200kHz	25	25
	HXT	455kHz	20~40	20~150
		1.0 MHz	15~30	15~30
		2.0 MHz	15	15
		4.0 MHz	15	15

6.11.3 外部RC振荡器模式

对于一些不需要精确计时的应用，RC 振荡器(右图)提供了一种有效节省成本的方案。然而，应该注意到，RC 振荡器的频率会受供电电压、电阻(Rext)、电容(Cext)甚至工作温度的影响。另外，因为生产过程的差异，一个器件的频率与另外一个器件的频率也会存在细微的差别。

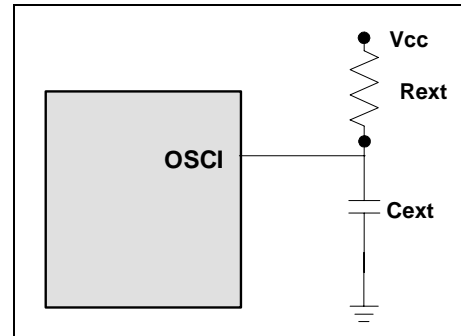


图6-16 外部RC振荡模式电路

为了维持在一个稳定的系统频率下，Cext 值应该大于 20 pF，Rext 值不高于 1 MΩ。如果它们不在此范围内，系统频率很容易受噪声、湿度和漏电流的影响。

在 RC 振荡模式中，Rext 值越小，其振荡频率越快。相反，对一个非常小的 Rext 值，例如 1 KΩ，振荡器将变得不稳定。因为 NMOS 不能及时的释放电容电荷。

基于以上原因，必须时刻牢记，供电电压、工作温度、RC 振荡器的元件特性、封装类型、PCB 制版等因素都会对系统频率产生影响。

RC 振荡频率:

电容值	电阻值	平均频率 5V, 25°C	平均频率 3V, 25°C
20 pF	3.3k	3.5 MHz	3.0 MHz
	5.1k	2.4 MHz	2.2 MHz
	10k	1.27 MHz	1.24 MHz
	100k	140 KHz	143 kHz
100 pF	3.3k	1.21 MHz	1.18 MHz
	5.1k	805 kHz	790 kHz
	10k	420 kHz	418 kHz
	100k	45 kHz	46 kHz
300 pF	3.3k	550 kHz	526 kHz
	5.1k	364 kHz	350 kHz
	10k	188 kHz	185 kHz
	100k	20 kHz	20 kHz

注: ¹: 这些数据仅供设计参考

²: 频率偏移大约为 ±30%

6.11.4 内部RC振荡模式

EM78P143 提供了一个多用途的内部 RC 模式，其默认频率为 4MHz。内部 RC 振荡模式还有其它频率值 (4 MHz, 16 MHz, 8 MHz, 和 455kHz)，可通过编程设置代码选项字 (Word 1) 的位 RCM1 和 RCM0 振荡模式。下表描述了 EM78P143 随供电电压、温度和制程变化的内部 RC 频率偏移率。

内部 RC 频率偏移率(Ta=25°C, VDD=5V ± 5%, VSS=0V)

内部 RC 频率	偏移率			
	温度 (0°C ~ +70°C)	电压 (2.3V~5.5V)	制程	总计
4 MHz	± 3%	± 5%	± 3%	± 11%
16 MHz	± 3%	± 5%	± 3%	± 11%
8 MHz	± 3%	± 5%	± 3%	± 11%
455kHz	± 3%	± 5%	± 3%	± 11%

注: 以上理论值仅供参考。实际值可能会跟随实际情况改变。

6.12 上电考量

在供电电压达到稳定状态前，任何微控制器都不能确保正常工作。EM78P143 内建的上电电压检测点(POVD)范围为 1.7V 至 1.9V。如果没有外部复位电路，Vdd 上升得非常快 (50 ms 或更少)，器件将会很好的工作。但是在涉及到关键应用的大多数情况下，可能需要额外的器件来辅助解决上电问题。

6.12.1 WDT 溢出时间周期设计

代码选项字(WDTPS)用来设定 WDT 溢出时间周期 (18ms⁵ 或 4.5ms⁶)。对于大多数的晶体振荡器或陶瓷谐振器，工作频率越低，启动时间越长。

6.12.2 外部上电复位电路

下图中提供了一个利用外部 RC 电路产生复位脉冲的电路。脉冲宽度(时间常数)应该足够长以使 Vdd 达到最低工作电压。此电路用在供电电压上升很慢的情况。因为/RESET 引脚的漏电流大约为±5μA，因此建议 R 值不要大于 40 KΩ。此时，/RESET 引脚电压保持在 0.2V 以下。二极管(D)在掉电时作为短路回路。电容 C 将快速充分放电。限流电阻 Rin 可防止高电流或 ESD (静电释放) 灌入/RESET 引脚。

⁵ VDD=5V, WDT 溢出时间周期 = 16.5 ms ± 30%.
VDD=3V, WDT 溢出时间周期 = 18 ms ± 30%.

⁶ VDD=5V, WDT 溢出时间周期 = 4.2 ms ± 30%.
VDD=3V, WDT 溢出时间周期 = 4.5 ms ± 30%.

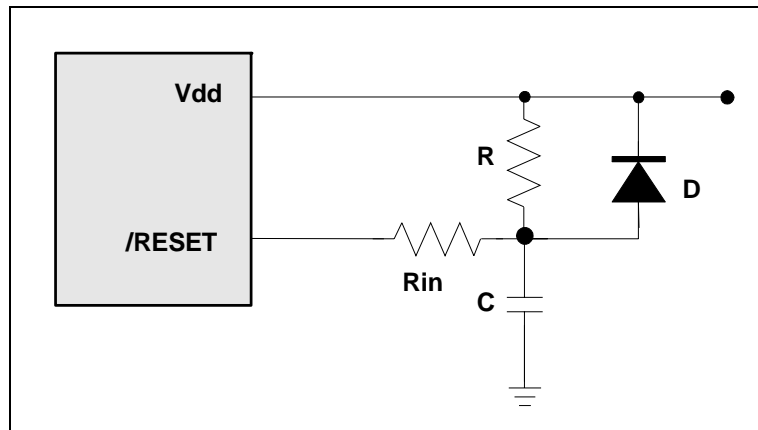


图 6-17 外部上电复位电路

6.12.3 残留电压保护

更换电池时，器件电源(Vdd)关断，但仍会存在残留电压。残留电压可能会掉到低于最小工作电压，但不为零。此条件可能触发一个不良上电复位。下面 2 个图显示了怎样建立残留电压保护电路。

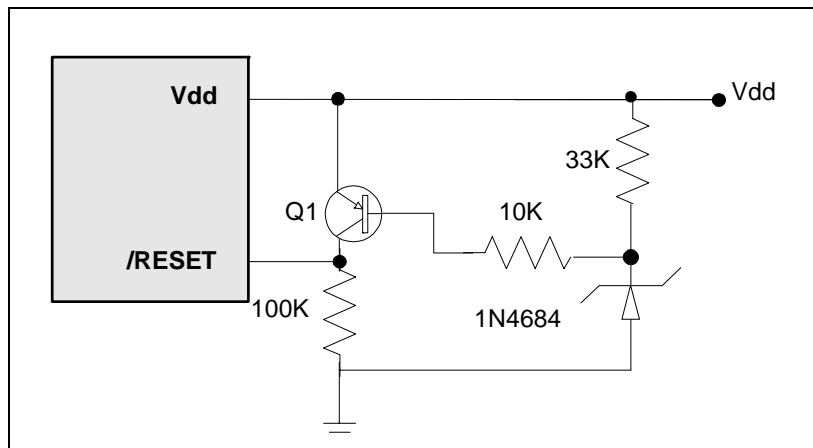


图 6-18a 残留电压保护电路1

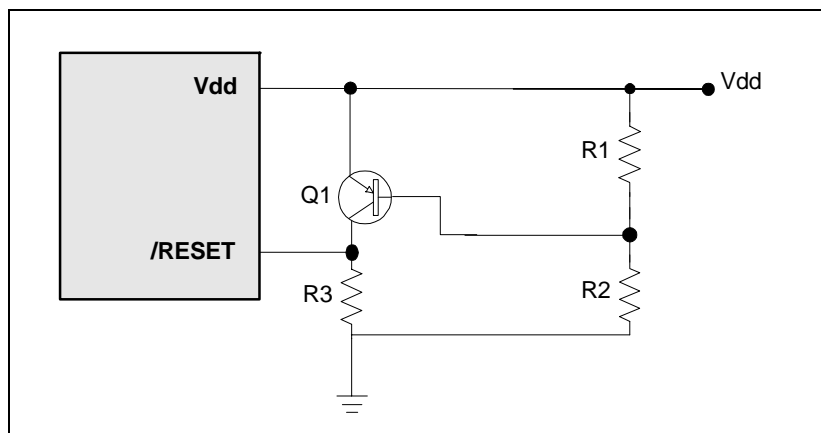


图 6-18b 残留电压保护电路 2

6.13 代码选项寄存器

EM78P143 拥有 2 个代码选项字和 1 个用户 ID 字，它们不位于用户程序存储空间。

Word 0	Word 1	Word 2
Bit 12 ~ Bit 0	Bit 12 ~ Bit 0	Bit 12 ~ Bit 0

6.13.1 代码选项寄存器 (Word 0)

Word 0													
Bit	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
助记符	-	-	CLKS	-	LVR1	LVR0	RESETENB	ENWDTB	NRHL	NRE	保护		
1	-	-	4clocks	-	高	高	P57	禁止	32/fc	使能	禁止		
0	-	-	2clocks	-	低	低	/RESET	使能	8/fc	禁止	使能		

Bits 12~11: 未使用 (保留). 一直为 1.

Bit 10 (CLKS): 指令周期选择位

0: 2 个振荡周期

1: 4 个振荡周期 (默认)

参考 6.15 指令集章节

Bit 9: 未使用 (保留). 一直为 1.

Bits 8~7 (LVR1 ~ LVR0): 低电压复位选择位

LVR1, LVR0	VDD 复位电压	VDD 释放电压
11	NA (上电复位) (默认)	
10	2.7V	2.9V
01	3.5V	3.7V
00	4.0V	4.2V

Bit 6 (RESETENB): RESET/P57 引脚选择位

0: P57 为 /RESET 引脚

1: P57 为输入或漏极开路输出引脚 (默认)

Bit 5 (ENWDTB): 看门狗定时器使能位

0: 使能

1: 禁止 (默认)

Bit 4 (NRHL): 高/低脉冲噪声抑制位. INT 引脚上升沿或下降沿触发

0: 脉冲平均宽度为 8/fc [s]时认为是信号

1: 脉冲平均宽度为 32/fc [s]时认为是信号(默认)

注意

LXT2 和休眠模式下噪声抑制功能被关闭.

Bit 3 (NRE): 噪声抑制使能位

0: 禁止噪声抑制

1: 使能噪声抑制 (默认).

但在低晶体振荡模式下(LXT2), 省电模式和空闲模式, 噪声抑制电路一直禁止.

Bits 2~0 (PR2~PR0): 保护位

0: 使能

1: 禁止

6.13.2 代码选项寄存器(Word 1)

Word 1													
Bit	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
助记符	HLP	C4	C3	C2	C1	C0	RCM1	RCM0	OSC3	OSC2	OSC1	OSC0	RCOUT
1	高	高	高	高	高	高	高	高	高	高	高	高	系统时钟
0	低	低	低	低	低	低	低	低	低	低	低	低	漏极开路

Bit 12 (HLP): 功耗选择位.

0: 低功耗模式, 工作在 32kHz 或更低

1: 高功耗模式, 工作在 32kHz 以上. (默认)

Bits 11~7 (C4, C3, C2, C1 和 C0): 内部 RC 模式校准. 只能置“1” (自动校准)

Bit 6 和 Bit 5 (RCM1 和 RCM0): RC 模式选择位

RCM 1	RCM 0	频率 (MHz)
1	1	4 (默认)
1	0	16
0	1	8
0	0	455kHz

Bits 4~1 (OSC3~OSC0): 振荡器模式选择位.

振荡器模式	OSC3	OSC2	OSC1	OSC0
ERC ¹ (外部 RC 振荡模式); P51/OSCO 作为 P51	0	0	0	0
ERC ¹ (外部 RC 振荡器模式); P51/OSCO 作为 OSCO	0	0	0	1
IRC ² (内部 RC 振荡器模式); P51/OSCO 作为 P51	0	0	1	0
IRC ² (内部 RC 振荡器模式); P51/OSCO 作为 OSCO	0	0	1	1
LXT1 (LXT1 模式频率范围: 100kHz~1 MHz)	0	1	0	0
HXT1 (HXT1 模式频率范围: 12 MHz~16 MHz)	0	1	0	1
LXT2 (LXT2 模式频率位 32kHz)	0	1	1	0
HXT2 (HXT2 模式频率范围为: 6 MHz~12 MHz)	0	1	1	1
XT (XT 模式频率范围为: 1 MHz~6 MHz) (默认)	1	1	1	1

¹ERC 模式下, P50 作为 OSC1 引脚, P51 由代码选项字 Word 1 Bit 4~Bit 1 定义.

²IRC 模式下, P50 作为 I/O 引脚, P51 由代码选项字 Word 1 Bit 4~Bit 1 定义.

Bit 0 (RCOUT): IRC 或 ERC 模式下系统时钟输出使能位

0: OSCO 引脚为漏极开路

1: OSCO 输出系统时钟 (默认)

6.13.3 用户 ID 寄存器 (Word 2)

Word 2													
Bit	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
助记符	-	-	-	-	WDTPS	-	ID6	ID5	ID4	ID3	ID2	ID1	ID0
1	-	-	-	-	18ms	-	高	高	高	高	高	高	高
0	-	-	-	-	4.5ms	-	低	低	低	低	低	低	低

Bits 12~ 9: 固定为 1

Bit 8 (WDTPS): WDT 溢出时间周期选择位

WDT 时间	看门狗时间
1	18 ms (默认)*
0	4.5 ms*

* 理论值, 仅供参考

Bit 7: 为 1

Bits 6 ~ 0: 用户 ID 码

6.14 低电压检测

电源不稳定的情况, 例如在外部电源噪声干扰或 EMC 测试状态, 会引起电源猛烈的抖动。在 VDD 不稳定的情况下, 可能会低于工作电压。此时, IC 内核必须自动保存所有寄存器的状态。

6.14.1 低电压复位

LVR 的特性由代码选项字 0 的 BIT7 和 BIT8 定义。详细的操作模式如下所示:

Word 0												
Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
		CLKS	-	LVR1	LVR0	RESETENB	ENWDTB	NRHL	NRE	Protect		

Bits 8~7 (LVR1 ~ LVR0): 低电压复位使能位

LVR1, LVR0	VDD 复位电压	VDD Release 电压
11	NA (上电复位)	
10	2.7V	2.9V
01	3.5V	3.7V
00	4.0V	4.2V

6.14.2 低电压检测

LVD 属性由寄存器 R6 设置，详细操作模式如下：

6.14.2.1 R6 (LVD 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	LVDIF	/LVD	LVDIE	LVDWE	LVDEN	LVD1	LVD0

注意

- 寄存器R6 <4> 可读可写.
- 单独中断使能将其控制位R6 <4>置 "1."
- 全局中断使能执行ENI指令，DISI指令禁止。参见章节6.6（中断）图6-6b（中断输入电路）。

Bit 6 (LVDIF): 低电压检测标志位

LVDIF 可由软件或硬件清“0”。

Bit 5 (/LVD): 低电压检测状态位. 只读. 当 VDD 引脚电压低于 LVD 电压时(由 LVD1 和 LVD0 设定),此位被清除.

0: 低电压被检测.

1: 低电压没有被检测或 LVD 功能禁止.

Bit 4 of R6: “1” 表示有中断请求, “0” 没有中断发生.

Bit 4 (LVDIE): 低电压检测中断使能位.

0: 禁止低电压检测中断

1: 使能低电压检测中断

当低电压检测状态发生后进入中断向量或执行下一条指令时，必须使能 LVDIE 标志位.

Bit 3 (LVDWE): 低电压检测唤醒使能位

0: 禁止低电压检测唤醒

1: 使能低电压检测唤醒

当低电压检测状态发生后进入中断向量或从休眠模式唤醒时，必须使能 LVDWE 标志位.

Bit 2 (LVDEN): 低电压检测使能位.

0: 禁止低电压检测

1: 使能低电压检测.

Bits 1~0 (LVD1:0): 低电压检测等级选项位.

LVDEN	LVD1, LVD0	LVD 中断电压值	/LVD
1	11	$V_{dd} \leq 2.2V$	0
		$V_{dd} > 2.2V$	1
1	10	$V_{dd} \leq 3.3V$	0
		$V_{dd} > 3.3V$	1
1	01	$V_{dd} \leq 4.0V$	0
		$V_{dd} > 4.0V$	1
1	00	$V_{dd} \leq 4.5V$	0
		$V_{dd} > 4.5V$	1
0	xx	NA	1

6.14.3 设计过程

遵循以下步骤可获得 LVD 数据:

1. 根据寄存器R6 (LVDCR) 的(LVD1: LVD0)位定义LVD电压。
2. 置位 LVDWE, 如果开启唤醒功能.
3. 置位 LVDIE,如果开启中断功能.
4. 执行ENI指令, 如果开启中断功能.
5. LVDEN位置 1
6. 写“SLEP” 指令或轮询 /LVD 位.
7. 清除中断标志位 (LVDIF) 当低电压检测发生时.

内部 LVD 模块采用内部电路, 当通过代码选项使能 LVD 时, 电流会上升至 $5 \mu A$.

休眠模式期间, LVD 模块继续工作. 如果电源慢慢下降达到 LVD 电压时, 标志位 LVDIF 置位并且器件从休眠模式唤醒。LVD 标志位仍然和先前状态一样被置位.

系统复位时, LVD 标志位被清除.

LVD 模块检测外部电压状态如下图所示.

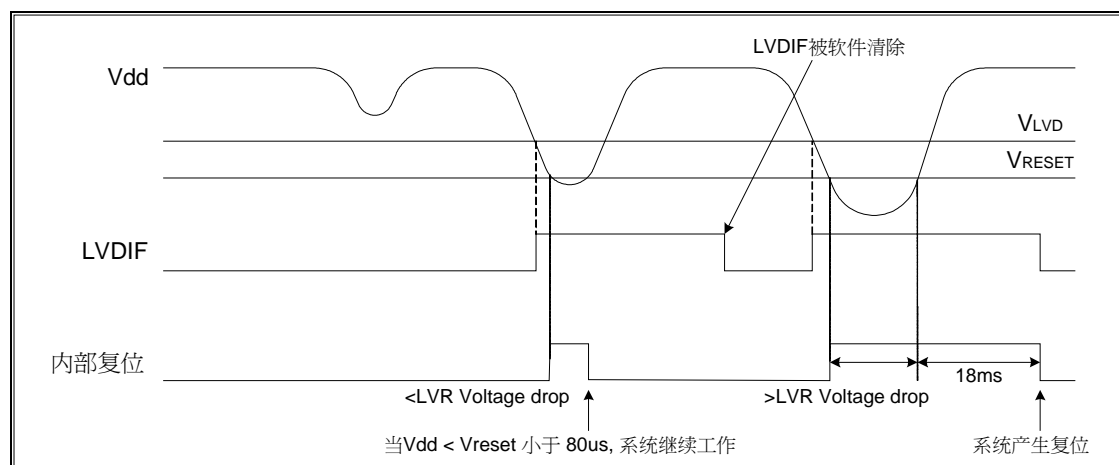


图 6-19 LVD / LVR 波形状态图

当 Vdd 电压低于 VLVD 时, LVDIF 保持为“0”。当 Vdd 电压小于 VLVD, LVDIF 置“1”。如果使能全局中断 ENI, LVDIF 将被置“1”, 然后程序跳转至中断向量执行。LVD 中断标志位由软件清零。

当 Vdd 电压低于 VRESET 但持续时间小于 80 μ s, 系统将保持所有寄存器的状态, 并且停止工作时振荡器继续处于激活状态。当 Vdd 电压低于 VRESET 持续超过 80 μ s 时, 系统复位产生。详细描述请参见章节 6.5.1。

6.15 指令集

指令集中的每条指令均是 13 位。指令分为一个 OP 操作码和一个或多个操作数。一般情况下, 除非指令的执行改变了程序计数器的值("MOV R2,A", "ADD R2,A")或者对 R2 的算术或逻辑操作 (例如. "SUB R2,A", "BS (C) R2,6", "CLR R2", ...), 否则执行所有的指令都只占用单个指令周期 (一个指令周期包含 2 个振荡周期)。

此外, 指令集还具有如下特性:

1. 任何寄存器的每个位都可被置 1、清零或直接测试。
2. I/O 寄存器可被当作通用寄存器。也就是, 相同的指令可操作 I/O 寄存器。

协定:

R =符号“R”表示一个寄存器指示符, 用来指定指令操作哪个寄存器 (包括操作寄存器和通用寄存器)。

b =表示一个位指示符, 指定位于R寄存器中会影响操作的位。

k =代表一个8位或10位常数或立即数。

EM78P143 指令集如下所示

二进制指令	16进制	助记符	操作	受影响标志位
0 0000 0000 0000	0000	NOP	空操作	无
0 0000 0000 0001	0001	DAA	A累加器十进制调整	C
0 0000 0000 0010	0002	CONTW	A → CONT	无
0 0000 0000 0011	0003	SLEP	0 → WDT, 振荡器停止	T, P
0 0000 0000 0100	0004	WDTC	0 → WDT	T, P
0 0000 0000 rrrr	000r	IOW R	A → IOCR	无 [†]
0 0000 0001 0000	0010	ENI	使能中断	无
0 0000 0001 0001	0011	DISI	禁止中断	无
0 0000 0001 0010	0012	RET	[栈顶] → PC	无
0 0000 0001 0011	0013	RETI	[栈顶] → PC, 使能中断	无
0 0000 0001 0100	0014	CONTR	CONT → A	无
0 0000 0001 rrrr	001r	IOR R	IOCR → A	无 [†]
0 0000 01rr rrrr	00rr	MOV R,A	A → R	无
0 0000 1000 0000	0080	CLRA	0 → A	Z
0 0000 11rr rrrr	00rr	CLR R	0 → R	Z
0 0001 00rr rrrr	01rr	SUB A,R	R-A → A	Z, C, DC
0 0001 01rr rrrr	01rr	SUB R,A	R-A → R	Z, C, DC
0 0001 10rr rrrr	01rr	DECA R	R-1 → A	Z
0 0001 11rr rrrr	01rr	DEC R	R-1 → R	Z
0 0010 00rr rrrr	02rr	OR A,R	A ∨ R → A	Z
0 0010 01rr rrrr	02rr	OR R,A	A ∨ R → R	Z
0 0010 10rr rrrr	02rr	AND A,R	A & R → A	Z
0 0010 11rr rrrr	02rr	AND R,A	A & R → R	Z
0 0011 00rr rrrr	03rr	XOR A,R	A ⊕ R → A	Z

二进制指令	十六进制	助记符	操作	受影响标志位
0 0011 01rr rrrr	03rr	XOR R,A	$A \oplus R \rightarrow R$	Z
0 0011 10rr rrrr	03rr	ADD A,R	$A + R \rightarrow A$	Z, C, DC
0 0011 11rr rrrr	03rr	ADD R,A	$A + R \rightarrow R$	Z, C, DC
0 0100 00rr rrrr	04rr	MOV A,R	$R \rightarrow A$	Z
0 0100 01rr rrrr	04rr	MOV R,R	$R \rightarrow R$	Z
0 0100 10rr rrrr	04rr	COMA R	$\neg R \rightarrow A$	Z
0 0100 11rr rrrr	04rr	COM R	$\neg R \rightarrow R$	Z
0 0101 00rr rrrr	05rr	INCA R	$R+1 \rightarrow A$	Z
0 0101 01rr rrrr	05rr	INC R	$R+1 \rightarrow R$	Z
0 0101 10rr rrrr	05rr	DJZA R	$R-1 \rightarrow A$, 为零跳转	无
0 0101 11rr rrrr	05rr	DJZ R	$R-1 \rightarrow R$, 为零跳转	无
0 0110 00rr rrrr	06rr	RRCA R	$R(n) \rightarrow A(n-1)$, $R(0) \rightarrow C$, $C \rightarrow A(7)$	C
0 0110 01rr rrrr	06rr	RRC R	$R(n) \rightarrow R(n-1)$, $R(0) \rightarrow C$, $C \rightarrow R(7)$	C
0 0110 10rr rrrr	06rr	RLCA R	$R(n) \rightarrow A(n+1)$, $R(7) \rightarrow C$, $C \rightarrow A(0)$	C
0 0110 11rr rrrr	06rr	RLC R	$R(n) \rightarrow R(n+1)$, $R(7) \rightarrow C$, $C \rightarrow R(0)$	C
0 0111 00rr rrrr	07rr	SWAPA R	$R(0-3) \rightarrow A(4-7)$, $R(4-7) \rightarrow A(0-3)$	无
0 0111 01rr rrrr	07rr	SWAP R	$R(0-3) \leftrightarrow R(4-7)$	无
0 0111 10rr rrrr	07rr	JZA R	$R+1 \rightarrow A$, 为零跳转	无
0 0111 11rr rrrr	07rr	JZ R	$R+1 \rightarrow R$, 为零跳转	无
0 100b brrr rrrr	0xxx	BC R,b	$0 \rightarrow R(b)$	无 ²
0 101b brrr rrrr	0xxx	BS R,b	$1 \rightarrow R(b)$	无 ³
0 110b brrr rrrr	0xxx	JBC R,b	如果 $R(b)=0$, 跳转	无
0 111b brrr rrrr	0xxx	JBS R,b	如果 $R(b)=1$, 跳转	无
1 00kk kkkk kkkk	1kkk	CALL k	$PC+1 \rightarrow [SP]$, $(Page, k) \rightarrow PC$	无
1 01kk kkkk kkkk	1kkk	JMP k	$(Page, k) \rightarrow PC$	无
1 1000 kkkk kkkk	18kk	MOV A,k	$k \rightarrow A$	无
1 1001 kkkk kkkk	19kk	OR A,k	$A \vee k \rightarrow A$	Z
1 1010 kkkk kkkk	1Akk	AND A,k	$A \& k \rightarrow A$	Z
1 1011 kkkk kkkk	1Bkk	XOR A,k	$A \oplus k \rightarrow A$	Z
1 1100 kkkk kkkk	1Ckk	RETL k	$k \rightarrow A$, $[栈顶] \rightarrow PC$	无
1 1101 kkkk kkkk	1Dkk	SUB A,k	$k-A \rightarrow A$	Z, C, DC
1 1111 kkkk kkkk	1Fkk	ADD A,k	$K+A \rightarrow A$	Z, C, DC
1 1110 1001 kkkk	1E9k	BANK k	$K \rightarrow R4(6)$	无
1 1110 1010 kkkk	1EAK	LCALL k	$PC+1 \rightarrow [SP]$, $k \rightarrow PC$	无
1 1110 1011 kkkk	1EBk	LJMP k	$k \rightarrow PC$	无
1 1110 11rr rrrr	1Err	TBRD R	参见章节 6.1.14 和 6.1.15	无

注：¹ 这条指令只适用于 IOC50~IOCF0, IOC51 ~ IOCF1 .

² 此指令不建议用于操作寄存器RF..

³ 不能用此指令操作寄存器 RF.

7 绝对最大值

项目	范围		
温度范围	0°C	至	70°C
存储温度	-65°C	至	150°C
输入电压	V _{ss} -0.3V	至	V _{dd} +0.5V
输出电压	V _{ss} -0.3V	至	V _{dd} +0.5V
工作电压	2.1V	至	5.5V
工作频率	DC	至	16 MHz

8 DC 直流电气特性

T_a= 25°C, V_{DD}= 5.0V, V_{SS}= 0V

符号	参数	条件	最小值	典型值	最大值	单位
FXT	晶体: VDD 至 5V	一条指令周期为 2 时钟周期	32.768k	4	16	MHz
ERC	ERC: VDD 至 5V	R: 3.3KΩ, C: 100 pF	0.847	1.21	1.573	MHz
VIHRC	输入高门槛电压 (施密特触发器)	OSCI 在 RC 模式下	3.9	4	4.1	V
IERC1	反向电流	VI 从低到高, VI=5V	21	22	23	mA
VILRC	输入低门槛电压 (施密特触发器)	OSCI 在 RC 模式下	1.7	1.8	1.9	V
IERC2	反向电流	VI 从高到低, VI=2V	16	17	18	mA
IIL	从输入引脚输入漏电流	VIN = VDD, VSS	-1	0	1	μA
VIH1	输入高电压 (施密特触发器)	Port 5	0.7V _{dd}	-	V _{dd} +0.3V	V
VIL1	输入低电压 (施密特触发器)	Port 5	-0.3V	-	0.3V _{dd}	V
VIHT1	输入高门槛电压 (施密特触发器)	/RESET	0.7V _{dd}	-	V _{dd} +0.3V	V
VILT1	输入低门槛电压 (施密特触发器)	/RESET	-0.3v	-	0.3V _{dd}	V
VIHT2	输入高门槛电压 (施密特触发器)	TCC, INT	0.7V _{dd}	-	V _{dd} +0.3V	V
VILT2	输入低门槛电压 (施密特触发器)	TCC, INT	-0.3V	-	0.3V _{dd}	V
VIHX1	时钟输入高电压	OSCI 在晶体模式下	2.9	3.0	3.1	V
VILX1	时钟输入低电压	OSCI 在晶体模式下	1.7	1.8	1.9	V
IOH1	输出高电压 (Port 5)	VOH = 0.9V _{DD}	-	-9	-	mA
IOL1	输出低电压 (Port 5)	VOL = 0.3V _{DD}	-	70	-	mA
IOL2	输出低电压 (Port 5)	VOL = 0.1V _{DD}	-	25	-	mA
IPH	上拉电流	上拉激活, 输入脚接 VSS	-60	-	-80	μA
IPL	下拉电流	下拉激活, 输入脚接 V _{dd}	40	-	60	μA
ISB1	掉电电流	所有输入脚和 I/O 接 V _{DD} , 输出脚悬空, WDT 禁止 d LVR 禁止 d, LVD 禁止 d	-	-	2.0	μA

符号	参数	条件	最小值	典型值	最大值	单位
ISB2	掉电电流	所有输入引脚和 I/O 引脚接 VDD, 输出引脚悬空, WDT 使能 LVR 禁止, LVD 禁止 d	-	-	8	μA
ISB3	掉电电流	所有输入引脚和 I/O 引脚接 VDD, 输出引脚悬空, WDT 禁止 LVR 使能, LVD 禁止	-	-	2.5	μA
ISB4	掉电电流	所有输入引脚和 I/O 引脚接 VDD, 输出引脚悬空, WDT 使能 LVR 使能, LVD 禁止	-	-	10	μA
ICC1	工作供电电流 在 2 个 CLKS	/RESET= '高', Fosc=32kHz, (晶体模式, CLKS="0"), 输出引脚悬空, WDT 禁止 LVR 禁止, LVD 禁止	-	-	35	μA
ICC2	工作供电电流 在 2 个 CLKS	/RESET= '高', Fosc=32kHz (晶体类型, CLKS="0"), 输出引脚悬空, WDT 使能 LVR 禁止, LVD 禁止	-	-	35	μA
ICC3	工作供电电流 在 2 个 CLKS	/RESET= '高', Fosc=4 MHz (晶体类型, CLKS="0"), 输出引脚悬空, WDT 使能 LVR 禁止, LVD 禁止	-	-	2.5	mA
ICC4	工作供电电流 在 2 个 CLKS	/RESET= '高', Fosc=10 MHz (晶体类型, CLKS="0"), 输出引脚悬空, WDT 使能 LVR 禁止, LVD 禁止	-	-	4.5	mA

注: 1. 这些参数为理论值, 设计时仅作为参考。

2. 表中的最小值, 典型值, 和最大值 (Min., Typ., 和 Max.) 是建立在 25°C 的理论值基础上. 仅供参考。

内部 RC 电气特性 (Ta=25°C, VDD=5 V, VSS=0V)

内部 RC	漂移率				
	温度	电压	最小值	典型值	最大值
4 MHz	25°C	5V	3.84 MHz	4 MHz	4.16 MHz
16 MHz	25°C	5V	15.36 MHz	16 MHz	16.64 MHz
8 MHz	25°C	5V	7.76 MHz	8 MHz	8.24 MHz
455kHz	25°C	5V	436.8kHz	455kHz	473.2kHz

内部 RC 电气特性 (Ta= 0 ~70°C, VDD=2.2V~5.5V, VSS=0V)

内部 RC	漂移率				
	温度	电压	最小值	典型值	最大值
4 MHz	0 ~ 70°C	2.2V~5.5V	3.44 MHz	4 MHz	4.56 MHz
16 MHz	0 ~ 70°C	2.2V~5.5V	13.76 MHz	16MHz	18.24 MHz
8 MHz	0 ~ 70°C	2.2V~5.5V	6.96 MHz	8 MHz	9.04 MHz
455kHz	0 ~ 70°C	2.2V~5.5V	391.3kHz	455kHz	518.7kHz

8.1 AD 转换特性

V_{DD}=2.5V to 5.5V, V_{SS}=0V, T_a= 0 to 70°C, 10-位 AD

符号	参数	条件	最小值	典型值	最大值	单位
V _{AREF}	模拟参考电压	V _{AREF} - V _{ASS} ≥ 2.5V	2.5	-	V _{DD}	V
V _{ASS}			V _{SS}	-	V _{SS}	V
V _{AI}	模拟输入电压	-	V _{ASS}	-	V _{AREF}	V
IAI1	I _{vdd}	V _{DD} =V _{AREF} =5.0V, V _{ASS} = 0.0V (V 从 V _{DD} 参考)	1100	1200	1400	μA
	I _{vref}		-10	0	+10	μA
IAI2	I _{vdd}	V _{DD} =V _{AREF} =5.0V, V _{ASS} = 0.0V (V 从 V _{REF} 参考)	500	600	820	μA
	I _{vref}		550	600	650	μA
RN	分辨率	ADREF=0, 内部 V _{DD} V _{DD} =5.0V, V _{SS} = 0.0V	9	10	-	Bits
LN	线性误差	V _{DD} =V _{AREF} =5.0V, V _{ASS} = 0.0V	0	±1	±2	LSB
DNL	差分非线性误差	V _{DD} =V _{AREF} =5.0V, V _{ASS} = 0.0V	0	±0.5	±0.9	LSB
FSE	满标度误差	V _{DD} =V _{AREF} =5.0V, V _{ASS} = 0.0V	±0	±1	±2	LSB
OE	补偿误差	V _{DD} =V _{AREF} =5.0V, V _{ASS} = 0.0V	±0	±1	±2	LSB
ZAI	推荐模拟电压源阻抗	-	0	8	10	KΩ
TAD	ADC 时钟持续时间	V _{DD} =V _{AREF} =5.0V, V _{ASS} = 0.0V	4	-	-	μs
TCN	AD 转换时间	V _{DD} =V _{AREF} =5.0V, V _{ASS} = 0.0V	-	-	15	TAD
ADIV	ADC OP 输入电压幅度	V _{DD} =V _{AREF} =5.0V, V _{ASS} = 0.0V	0	-	V _{AREF}	V
ADOV	ADC OP 输出电压漂移	V _{DD} =V _{AREF} =5.0V, V _{ASS} = 0.0V, R _L =10KΩ	0	0.2	0.3	V
			4.7	4.8	5	
ADSR	ADC OP 摆率	V _{DD} =V _{AREF} =5.0V, V _{ASS} = 0.0V	0.1	0.3	-	V/μs
PSR	电源滤波	V _{DD} =5.0V ± 0.5V	±0	-	±2	LSB

注: 1. 这些参数为理论值, 仅供设计参考.

2. ADC 关闭以后没有耗电除了较小的漏电流.

3. 当输入电压不断增加并且没有遗漏码发生时 AD 转换结果不会减少.

4. 这些参数的改变不会另行通知.

8.2 比较器特性

V_{DD} = 5.0V, V_{SS} = 0V, T_a = 0 to 70°C

符号	参数	条件	最小值	典型值	最大值	单位
SR	摆率	—	0.1	0.2	—	V/μs
V _{OS}	输入失调电压	R _L =5.1K, (注 1)	1	5	10	mV
IVR	输入电压范围	V _{DD} = 5.0V, V _{SS} = 0.0V	0	—	5	V
OVS	输出电压摆率	V _D = 5.0V, V _{SS} = 0.0V, R _L = 10 KΩ	0	0.2	0.3	V
			4.7	4.8	5	
I _{CO}	供电流	—	—	300	—	μA
PSRR	OP 电源抑制率	V _{DD} = 5.0V, V _{SS} = 0.0V	50	60	70	dB
V _S	工作电压	—	2.5	—	5.5	V

注: 1. 这些参数为理论值, 仅作为设计参考.

2. 这些参数的改变不会另行通知.

9 AC 交流电气特性

T_a = 0 to 70°C, V_{DD} = 5V ± 5%, V_{SS} = 0V

符号	参数	条件	最小值	典型值	最大值	单位
Dclk	输入 CLK 占空比	—	45	50	55	%
T _{ins}	指令周期时间 (CLKS="0")	晶体类型	100	—	DC	ns
		RC 类型	500	—	DC	ns
T _{tcc}	TCC 输入时间周期	—	(T _{ins} +20)/N*	—	—	ns
T _{drh}	器件复位保持时间	T _a = 25°C	11.3	16.2	21.6	ms
T _{rst}	/RESET 脉宽	T _a = 25°C	2000	—	—	ns
T _{wdt1} *	看门狗定时器周期	T _a = 25°C	16.5-30%	16.5	16.5+30%	ms
T _{wdt2} *	看门狗定时器周期	T _a = 25°C	4.2-30%	4.2	4.2+30%	ms
T _{set}	输入引脚启动时间	—	—	0	—	ns
T _{hold}	输入引脚保持时间	—	15	20	25	ns
T _{delay}	输出引脚延时	C _{load} = 20pF	45	50	55	ns
T _{drc}	ERC 延时	T _a = 25°C	1	3	5	ns

注: 1. *N = 选择预分比

2. T_{wdt1}: 代码选项字 Word 2 (WDTPS) 用来定义振荡器启动时间. WDT 溢出时间和启动时间都为 18 ms.

3. T_{wdt2}: 代码选项字 Word 2 (WDTPS) 用来定义振荡器启动时间. WDT 溢出时间和启动时间都为 4.5 ms.

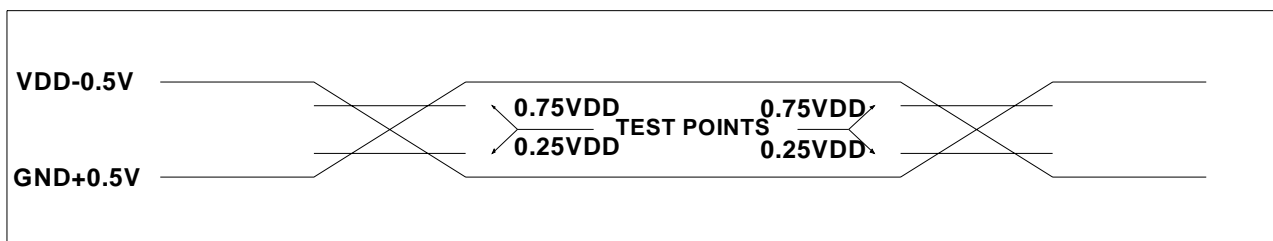
4. 这些参数为理论值, 仅作为设计参考.

5. 表中数据的最小值, 典型值, 最大值 (Min., Typ., and Max.) 是在 25°C 的环境下测出的结果. 仅作为设计参考.

6. 看门狗定时器的持续时间由代码选项字 Word 2 (WDTPS) 决定.

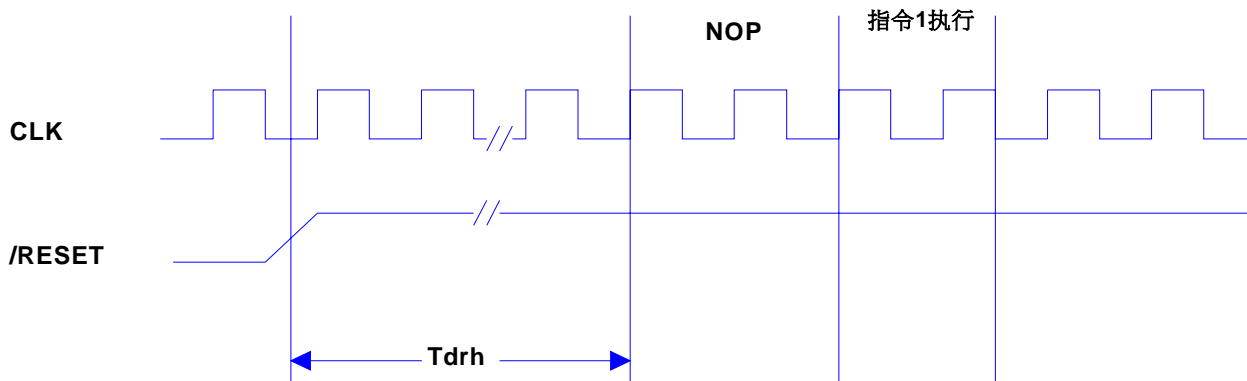
10 时序图

AC 测试输入/输出波形

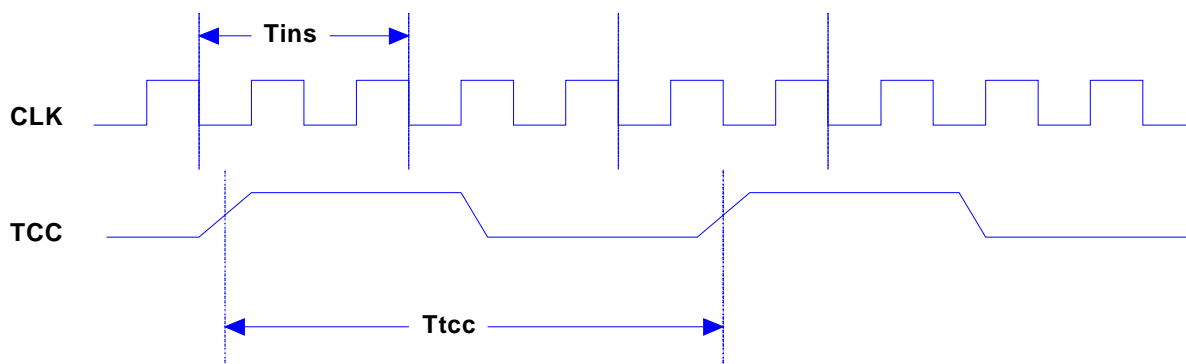


AC 测试: 输入电压为VDD-0.5V 时为逻辑 "1", 为 GND+0.5V 时逻辑 "0". 时序测量时, 0.75VDD 为逻辑 "1", 0.25VDD 为逻辑 "0".

RESET 输入 (CLK="0")



TCC 输入时序 (CLKS="0")



附录

A 封装类型

OTP MCU	封装类型	引脚数	封装尺寸
EM78P143MS10J /S	MSOP	10	118 mil
EM78P143SO14J	SOP	14	150 mil

绿色产品不含有害物质。

B 封装结构

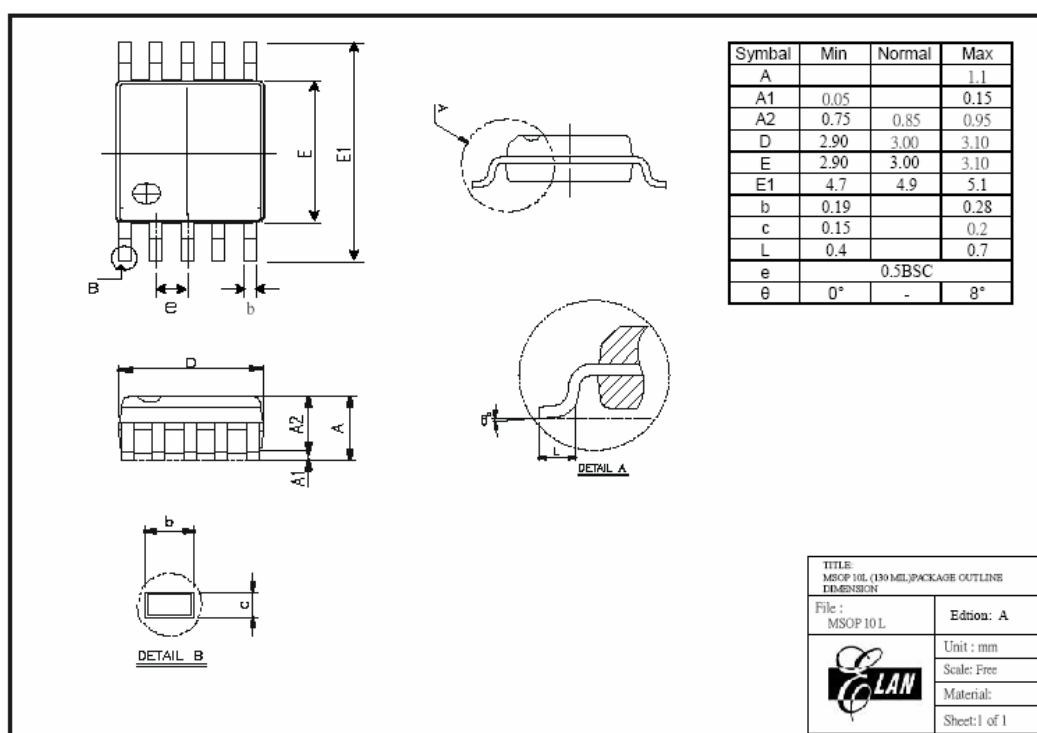


图 B-1 EM78P143MS10J/S 10-Pin MSOP 封装型号

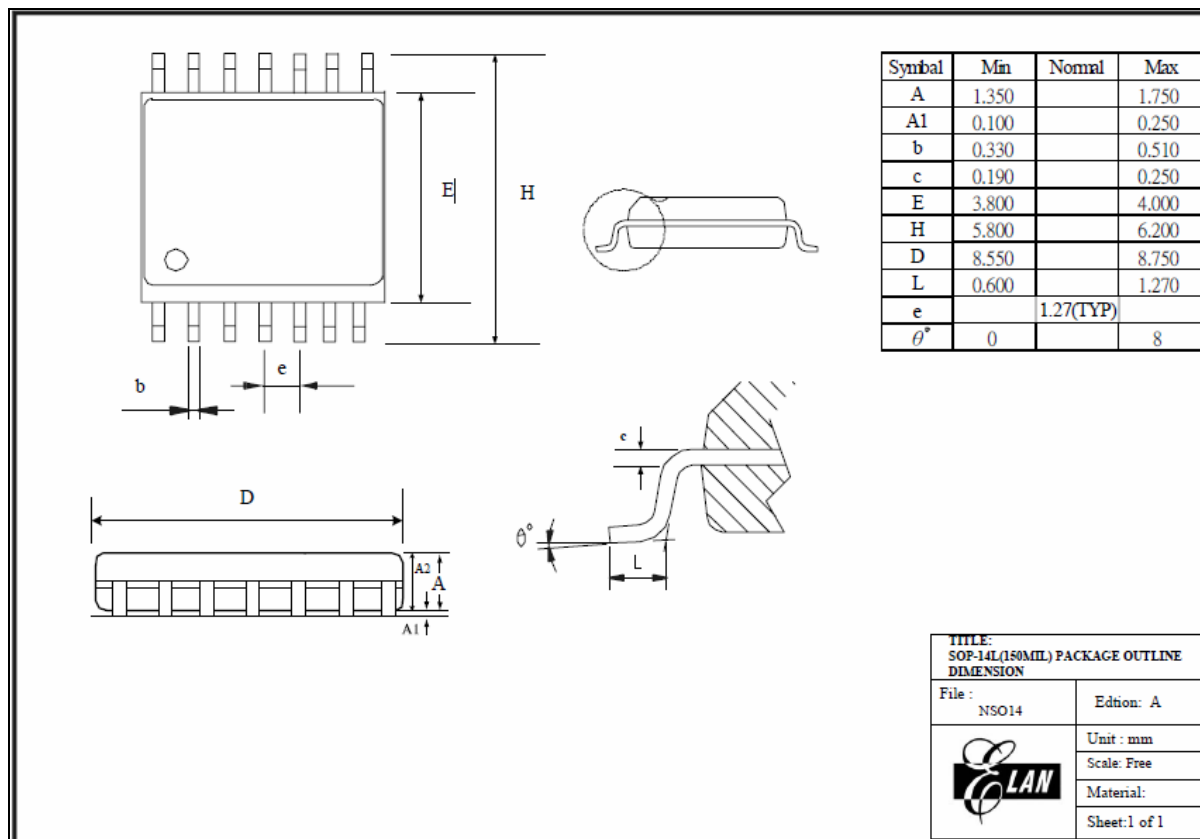
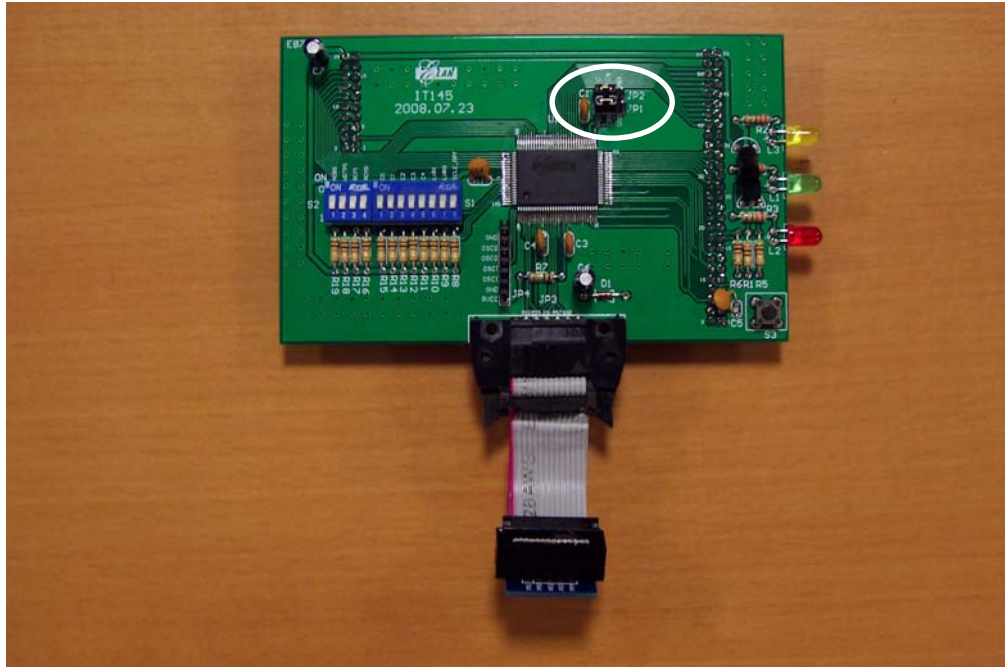




图 B-2 EM78P143SO14J 14-Pin SOP 封装型号

C 怎样使用ICE143

C-1 JP1 & JP2的代码选择



图C-1 ICE 143 JP1 & JP2跳线设置

W1	代码选项引脚选择
VCC MCEN GND 	JP1 接至 VCC (默认)
VCC ERS GND 	JP2 接至 VCC (默认)

C-2 直拨开关(S1 & S2) 设置

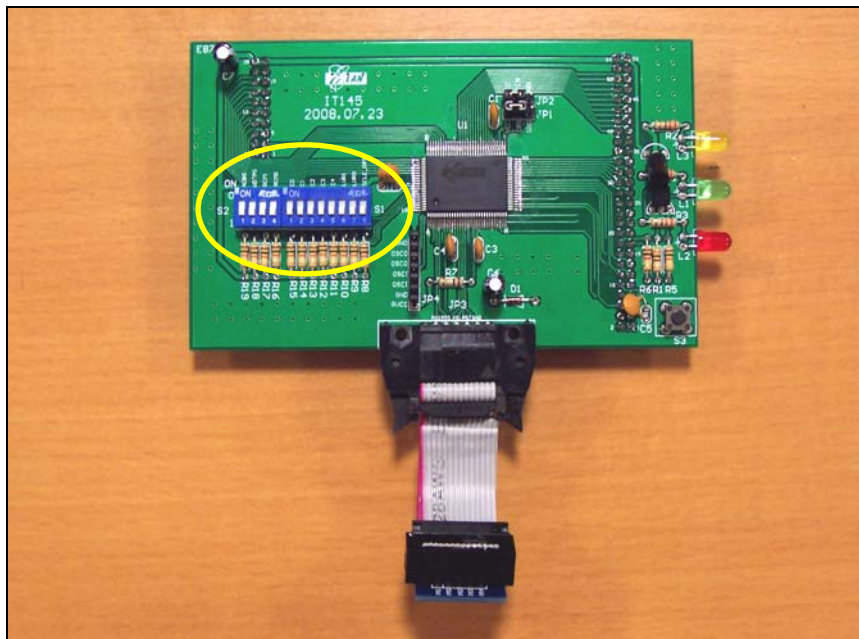


图 C-2 ICE 143直拨开关设置

符号	引脚号	类型	功能
SELE_OPT	20	I	选项位由引脚还是寄存器控制。 0: 选项位由引脚控制。 1:选项位由寄存器控制。
LVR0, LVR1	93, 94	I	低电压复位使能位。 可由引脚或寄存器控制取决于 SELE_OPT 引脚。参见章节 6.2.12
C4, C3, C2, C1, C0	26, 25, 24, 23, 22	I	内部 RC 模式校准。 可由引脚或寄存器控制取决于 SELE_OPT 引脚。参见章节 6.2.11
RCM0, RCM1	95, 96	I	IRC 模式频率选择位 可由引脚或寄存器控制取决于 SELE_OPT 引脚。参见章节 6.2.12
WDTPS	31	I	软件设置 WDT 时间 0 : 4.5ms. 1 : 18ms. 可由引脚或寄存器控制取决于 SELE_OPT 引脚。参见章节 6.2.12
ADBS	21	I	AD 位选择寄存器 此位为 0。 可由引脚或寄存器控制取决于 SELE_OPT 引脚。

C-3 ICE 143 牛角座引脚配置(JP3)

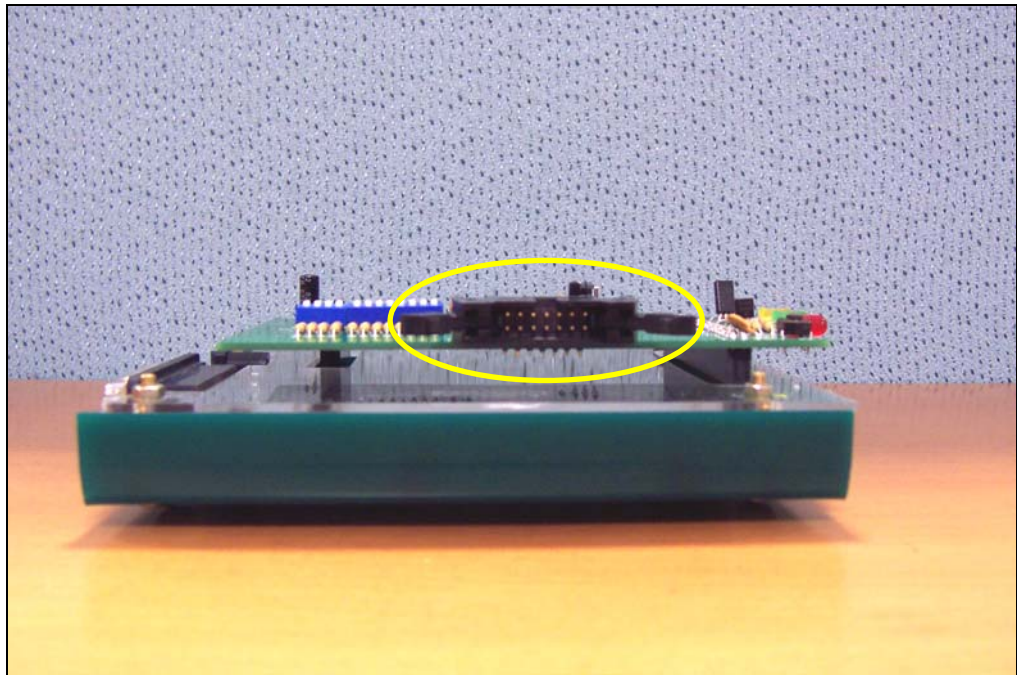


图 C-3a ICE 143牛角座引脚配置

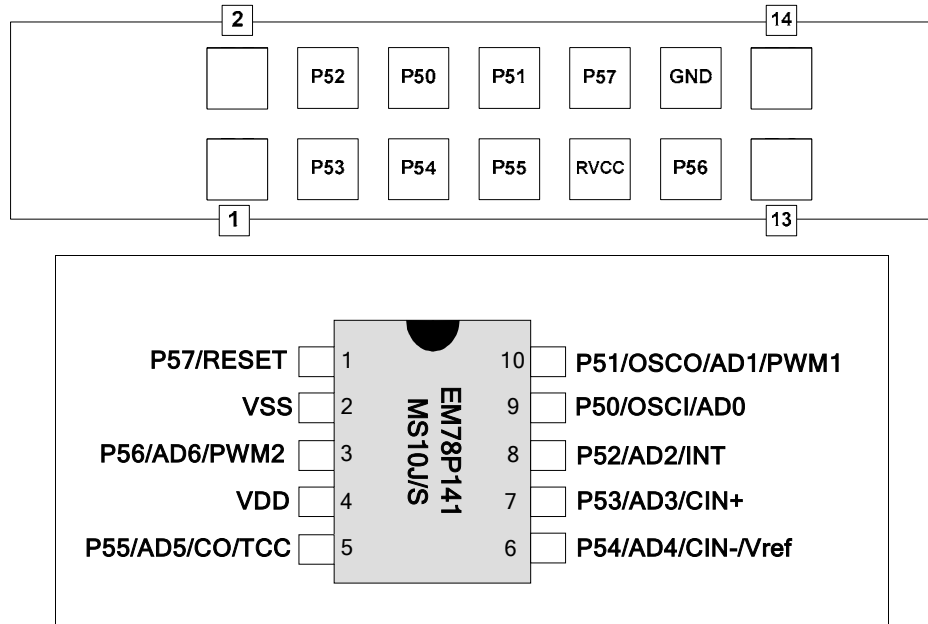


图 C-3b ICE 143引脚配置

C-4 ICE 143 牛角座到目标板的引脚配置

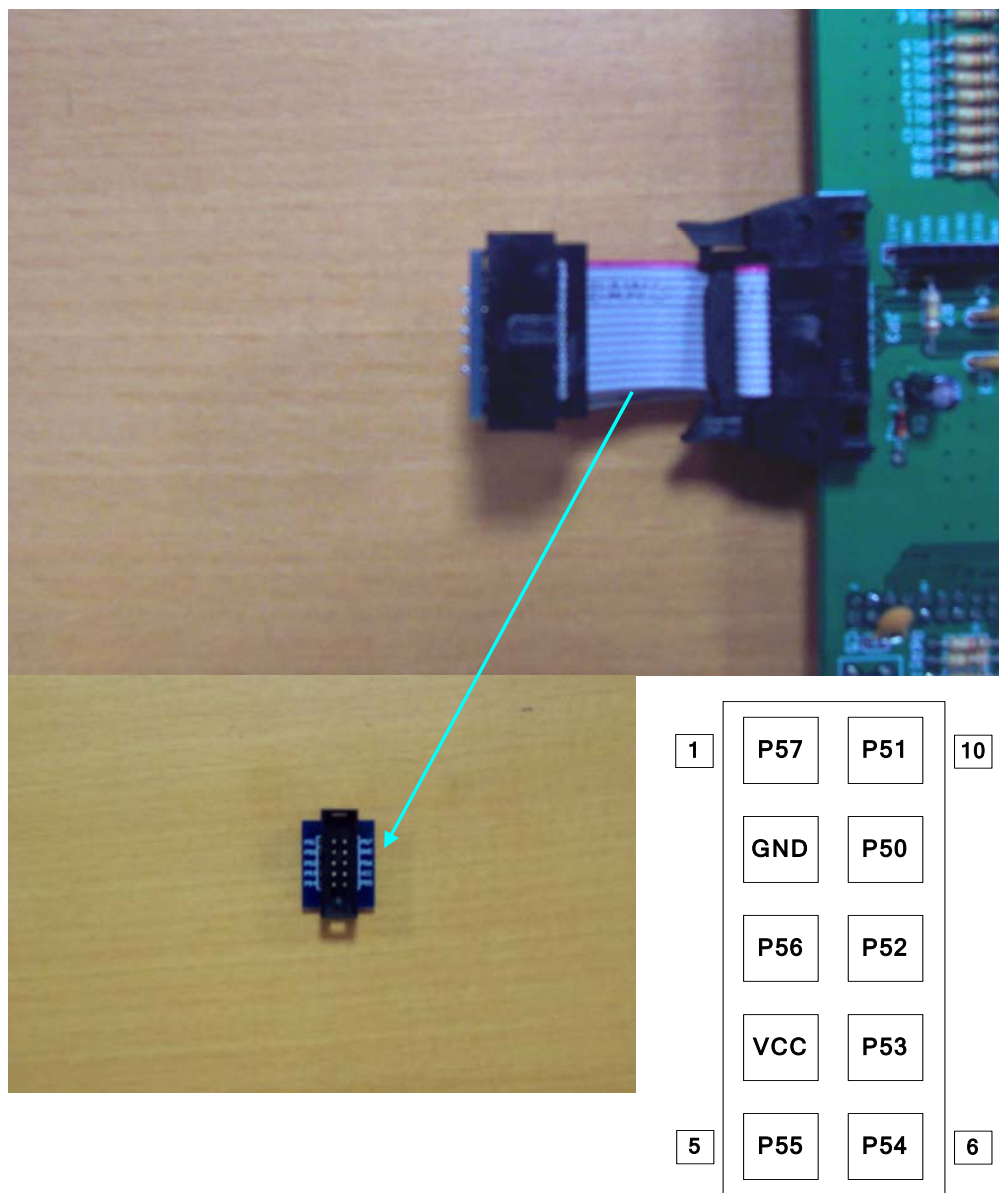


图 C-4 ICE 143牛角座到目标板的引脚配置